

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年11月20日

出願番号 Application Number: 特願2002-336544

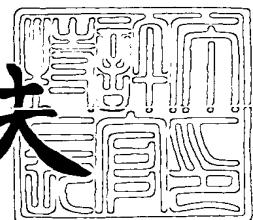
[ST. 10/C]: [JP2002-336544]

出願人 Applicant(s): セイコーエプソン株式会社

2003年9月30日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 J0094548
【提出日】 平成14年11月20日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/02
H01L 27/00
H01L 27/14
【発明の名称】 チップ間光インターフェクション回路、電気光学装置および電子機器
【請求項の数】 15
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】 近藤 貴幸
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100089037
【弁理士】
【氏名又は名称】 渡邊 隆
【代理人】
【識別番号】 100064908
【弁理士】
【氏名又は名称】 志賀 正武
【選任した代理人】
【識別番号】 100110364
【弁理士】
【氏名又は名称】 実広 信哉

【手数料の表示】**【予納台帳番号】** 008707**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9910485**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 チップ間光インターフェクション回路、電気光学装置および電子機器

【特許請求の範囲】

【請求項 1】 基板上に取り付けられた発光機能を有する微小タイル状素子と、

前記基板上に取り付けられた受光機能を有する微小タイル状素子と、

前記発光機能を有する微小タイル状素子及び前記受光機能を有する微小タイル状素子とを光学的に接続するものであって、前記基板上に設けられた光導波路材を有してなる光導波路と、

前記基板上に設けられた電極であって、前記発光機能を有する微小タイル状素子又は受光機能を有する微小タイル状素子と電気的に接続された電極とを有することを特徴とするチップ間光インターフェクション回路。

【請求項 2】 前記電極は、前記基板上に実装された集積回路チップについての配線用電極となるボンディングパッドであることを特徴とする請求項 1 記載のチップ間光インターフェクション回路。

【請求項 3】 前記電極は、前記基板上に集積回路チップをフリップチップ実装したときのボンディングパッドであることを特徴とする請求項 1 記載のチップ間光インターフェクション回路。

【請求項 4】 前記集積回路チップには、凸形状の導電部材からなるバンプが設けられており、

該バンプは、前記集積回路チップの入力端子又は出力端子と電気的に接続されているとともに、前記電極に接合されていることを特徴とする請求項 2 又は 3 記載のチップ間光インターフェクション回路。

【請求項 5】 前記基板上には、複数の集積回路チップが実装されており、前記集積回路チップ間の信号伝送は、少なくとも、前記発光機能を有する微小タイル状素子、受光機能を有する微小タイル状素子および光導波路を経由して行われることを特徴とする請求項 1 乃至 4 のいずれか一項に記載のチップ間光インターフェクション回路。

【請求項 6】 一つの前記光導波路には、複数の前記受光機能を有する微小タイル状素子が光学的に接続されていることを特徴とする請求項 1 乃至 5 のいずれか一項に記載のチップ間光インターフェクション回路。

【請求項 7】 前記発光機能を有する微小タイル状素子は、クロック信号となる光を放射することを特徴とする請求項 1 乃至 6 のいずれか一項に記載のチップ間光インターフェクション回路。

【請求項 8】 前記基板は、フラットパネルディスプレイの構成要素となるものであり、

前記基板上には、少なくとも、前記集積回路チップとしてタイミングコントロール集積回路及びドライバ集積回路がそれぞれ実装されており、

前記タイミングコントロール集積回路と前記ドライバ集積回路間には、少なくとも 1 本の前記光導波路が設けられていることを特徴とする請求項 2 乃至 7 のいずれか一項に記載のチップ間光インターフェクション回路。

【請求項 9】 前記ドライバ集積回路は、前記基板上に複数個実装されており、

前記光導波路は、前記ドライバ集積回路毎に少なくとも 1 本づつ設けられていることを特徴とする請求項 8 記載のチップ間光インターフェクション回路。

【請求項 10】 前記タイミングコントロール集積回路は、前記基板上に実装されたドライバ集積回路の数以上の前記発光機能を有する微小タイル状素子と電気的に接続されていることを特徴とする請求項 8 又は 9 記載のチップ間光インターフェクション回路。

【請求項 11】 前記ドライバ集積回路は、少なくとも 1 つの前記受光機能を有する微小タイル状素子と電気的に接続されていることを特徴とする請求項 8 乃至 10 のいずれか一項に記載のチップ間光インターフェクション回路。

【請求項 12】 前記光導波路は、外乱光の入射を防ぐ処理が施されていることを特徴とする請求項 1 乃至 11 のいずれか一項に記載のチップ間光インターフェクション回路。

【請求項 13】 前記基板上に取り付けられた複数の前記発光機能を有する微小タイル状素子は、該微小タイル状素子毎に少なくとも 2 種類の波長の異なる

光を前記光導波路に放射するものであることを特徴とする請求項1乃至12のいずれか一項に記載のチップ間光インターフェクション回路。

【請求項14】 請求項1乃至13のいずれか一項に記載のチップ間光インターフェクション回路を備えたことを特徴とする電気光学装置。

【請求項15】 請求項1乃至13のいずれか一項に記載のチップ間光インターフェクション回路を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、チップ間光インターフェクション回路、電気光学装置および電子機器に関する。

【0002】

【従来の技術】

近年、平面ディスプレイ装置として、エレクトルルミネッセンスパネル（E L P）、プラズマディスプレイパネル（P D P）、液晶表示装置（L C D）などが用いられている。これらの平面ディスプレイ装置は、大型化、大容量表示化に伴う信号の遅延などを解消するために、光を信号伝達に用いる技術が検討されている（例えば、特許文献1参照）。

【0003】

【特許文献1】

特開平5-100246号公報

【0004】

また、コンピュータは、集積回路の内部構造の微細化により、C P U内部の動作速度（動作クロック）が年々向上している。しかし、C P Uと記憶装置などの周辺装置を繋ぐバスにおける信号伝達速度はほぼ限界に達しつつあり、コンピュータの処理速度のボトルネックとなっている。このバスにおける信号伝達を光信号で行うことができれば、コンピュータの処理速度の限界を著しく高めることが可能となる。

【0005】

そして、光信号を用いてデータ伝達するには、光源から放射された光信号を所定の場所まで伝達して、受光素子などに入力する光伝送手段が必要になる。従来このような光伝送手段としては、光ファイバーを利用した技術、又は基板上に形成した光導波路を利用した技術がある。

【0006】

【発明が解決しようとする課題】

しかしながら、光伝送手段として光ファイバーを利用した場合、発光素子及び受光素子などの光部品との接続が繁雑になり、その製造に多大なコスト及び時間がかかるとともに、光伝送手段の小型化が困難になるという問題がある。

【0007】

これに対し、基板上に形成した光導波路を利用することによって、光伝送媒体と発光素子及び受光素子などとの接続を簡単にすることが考えられる。しかし、この光導波路に適した入出力構造が未だ見いだされていないのが現状であり、平面ディスプレイ装置又はコンピュータに適用できるほどの微細化及び製造容易化が図られた光伝送手段は実現されていない。

【0008】

本発明は、上記事情に鑑みてなされたもので、信号伝達速度を高速化することができるとともに容易に微細化することができ、簡易に製造することができるチップ間光インターフェクション回路、電気光学装置および電子機器の提供を目的とする。

【0009】

【課題を解決するための手段】

上記した目的を達成するために本発明のチップ間光インターフェクション回路は、基板上に取り付けられた発光機能を有する微小タイル状素子と、前記基板上に取り付けられた受光機能を有する微小タイル状素子と、前記発光機能を有する微小タイル状素子及び前記受光機能を有する微小タイル状素子とを光学的に接続するものであって、前記基板上に設けられた光導波路材を有してなる光導波路と、前記基板上に設けられた電極であって、前記発光機能を有する微小タイル状素子又は受光機能を有する微小タイル状素子と電気的に接続された電極とを有する

ことを特徴とする。

本発明によれば、基板上に設けられた電極に電気信号を印加することで、その電極に接続された発光機能を有する微小タイル状素子から光信号を放射させることができる。その光信号は、光導波路を伝播して受光機能を有する微小タイル状素子に到達して電気信号に変換される。そこで、本発明によれば、微小タイル状素子間で光信号を送受信することができ、非常に高速な信号伝送手段を簡便に実現することができる。また、微小タイル状素子を非常に小さな形状（例えば、数百 μm 四方以下の面積と数十 μm 以下の厚さをもつもの）にすることで、非常に微細な光信号伝送手段を簡易に製造することができる。本発明において、光導波路を構成する光導波路材としては、透明樹脂あるいはゾリゲルガラスを適用することができる。ゾルゲルガラスとは、ガラス成分を含む溶液を加熱するなどして固体ガラスに変質させたものである。

【0010】

また、本発明のチップ間光インターフェクション回路は、前記電極が前記基板上に実装された集積回路チップについての配線用電極となるボンディングパッドであることが好ましい。

本発明によれば、基板上に設けたボンディングパッドを介して、その基板上に実装された集積回路チップの接続端子（入出力端子）を前記微小タイル状素子に電気的に接続することができる。すなわち本発明によれば、ボンディングパッドを介して、集積回路チップの入出力信号（電気信号）を微小タイル状素子に伝達することができる。そこで、本発明によれば、基板上に実装された集積回路チップの入出力信号を光信号に変換して、その基板上において極めて高速に伝送することができる。

【0011】

また、本発明のチップ間光インターフェクション回路は、前記電極が前記基板上に集積回路チップをフリップチップ実装したときのボンディングパッドであることが好ましい。

本発明によれば、基板上に設けたボンディングパッドに集積回路チップをフリップチップ実装することができる。そこで、本発明によれば、基板上に集積回路

チップをコンパクトにかつ簡便に実装することができるとともに、その集積回路チップの入出力信号を光信号に変換して高速に伝送することができる。

【0012】

また、本発明のチップ間光インターフェクション回路は、前記集積回路チップに、凸形状の導電部材からなるバンプが設けられており、該バンプは、前記集積回路チップの入力端子又は出力端子と電気的に接続されているとともに、前記電極に接合されていることが好ましい。

本発明によれば、ボンディングパッド及びバンプを用いて、集積回路チップを基板上に、電気的かつ機械的に接続することができる。そこで、本発明によれば基板上に集積回路チップを直接的に簡便に実装することができるとともに、その集積回路チップの入出力信号を光信号に変換して高速に伝送することができる。

【0013】

また、本発明のチップ間光インターフェクション回路は、前記基板上に、複数の集積回路チップが実装されており、前記集積回路チップ間の信号伝送は、少なくとも、前記発光機能を有する微小タイル状素子、受光機能を有する微小タイル状素子および光導波路を経由して行われることが好ましい。

本発明によれば、基板上に実装した複数の集積回路チップ同士の間において、光導波路を伝播する光信号を用いて高速にデータ伝送することができる。

【0014】

また、本発明のチップ間光インターフェクション回路は、一つの前記光導波路に、複数の前記受光機能を有する微小タイル状素子が光学的に接続されていることが好ましい。

本発明によれば、一つの光導波路で複数の微小タイル状素子に略同時に光信号を伝送することができ、光信号によるバスを簡便に実現することができる。

【0015】

また、本発明のチップ間光インターフェクション回路は、前記発光機能を有する微小タイル状素子がクロック信号となる光を放射することが好ましい。

本発明によれば、クロック信号を光信号に変換して伝送するので、従来よりも高い周波数のクロック信号を簡便な構成で伝送することができる。

【0016】

また、本発明のチップ間光インターフェクション回路は、前記基板がフラットパネルディスプレイの構成要素となるものであり、前記基板上には、少なくとも、前記集積回路チップとしてタイミングコントロール集積回路及びドライバ集積回路がそれぞれ実装されており、前記タイミングコントロール集積回路と前記ドライバ集積回路間には、少なくとも1本の前記光導波路が設けられていることが好ましい。

本発明によれば、フラットパネルディスプレイにおいて、映像信号に基づいて各画素を制御する信号（データ信号、走査信号など）を生成するタイミングコントロール回路と、タイミングコントロール回路から出力された信号を受信し増幅などして各画素を駆動するドライバ集積回路（データ線ドライバ集積回路、走査線ドライバ集積回路）とを、光導波路で接続することができる。したがって本発明にとれば、フラットパネルディスプレイをなす基板上において、タイミングコントロール回路とドライバ回路間のデータ伝送を光信号によって極めて高速化することができる。

ここで、タイミングコントロール回路及びドライバ回路それぞれには、発光機能又は受光機能を有する微小タイル状素子を1個又は複数個電気的に接続される。そして、タイミングコントロール回路とドライバ回路間は、1本又は複数本の光導波路で接続することができる。

また、本発明によれば、発光機能を有する微小タイル状素子を簡易なドライバで駆動することができるので、フラットパネルディスプレイの回路構成をシンプルにすることができ、製造コストを低減することができる。

また、本発明によれば、映像信号などを光信号で伝送することができるので、画面からでる電磁波を大幅に低減することができ、電磁波障害（EMI）の発生を大幅に低減することができる。

【0017】

また、本発明のチップ間光インターフェクション回路は、前記ドライバ集積回路が前記基板上に複数個実装されており、前記光導波路は、前記ドライバ集積回路毎に少なくとも1本づつ設けられていることが好ましい。

本発明によれば、例えば、各ドライバ集積回路が（複数のデータ線又は複数の走査線を駆動制御する）複数のドライバ回路を備え、各ドライバ回路が画素マトリクスに対してデータ信号又は走査信号を出力するものとして、そのドライバ集積回路毎に1本又は複数本の光導波路でデータ信号又は走査信号を高速に送信することができる。したがって、本発明によれば、フラットパネルディスプレイの回路構成をシンプルにしながら高速化することができ、製造コストを低減することもできる。

【0018】

また、本発明のチップ間光インターフェクション回路は、前記タイミングコントロール集積回路が、前記基板上に実装されたドライバ集積回路の数以上の前記発光機能を有する微小タイル状素子と電気的に接続されていることが好ましい。

本発明によれば、タイミングコントロール集積回路が発光機能を有する微小タイル状素子を備えるので、光信号を出力することができるタイミングコントロール回路をコンパクトにかつ簡便に構成することができる。したがって、本発明によれば、タイミングコントロール回路とドライバ回路間のデータ伝送を光信号によって極めて高速化することができるとともに、さらにフラットパネルディスプレイの回路構成をシンプルにすることができ、製造コストを低減することができる。

【0019】

また、本発明のチップ間光インターフェクション回路は、前記ドライバ集積回路が、少なくとも1つの前記受光機能を有する微小タイル状素子と電気的に接続されていることが好ましい。

本発明によれば、光信号を電気信号に変換することができるドライバ集積回路をコンパクトにかつ簡便に構成することができる。

【0020】

また、本発明のチップ間光インターフェクション回路は、前記光導波路が外乱光の入射を防ぐ処理が施されていることが好ましい。

本発明によれば、自然光又は室内の人工光並びに他の光導波路から漏れる光などの外乱光による誤動作を防ぐことができる。

【0021】

また、本発明のチップ間光インターフェクション回路は、前記基板上に取り付けられた複数の前記発光機能を有する微小タイル状素子が、該微小タイル状素子毎に少なくとも2種類の波長の異なる光を前記光導波路に放射することが好ましい。

本発明によれば、1つの光導波路で複数種類の光信号を同時に伝送することができる、信号伝送速度をさらに高速化することができ、さらにコンパクトな信号伝送手段を提供することができる。

【0022】

本発明の電気光学装置は、前記チップ間光インターフェクション回路を備えたことを特徴とする。

本発明によれば、平面ディスプレイの走査信号及びデータ信号などを前記光インターフェクション回路によって伝送することで、高速に各画素を駆動制御することができ、平面ディスプレイ装置における画面の大型化、高品位化及びさらなるコンパクト化を実現することができる。

【0023】

本発明の電子機器は、前記チップ間光インターフェクション回路を備えたことを特徴とする。

本発明によれば、例えば、C P Uと記憶装置などとの間に本発明の光インターフェクション回路を適用することで、高速に信号処理することができかつコンパクトで高性能な電子機器を安価に提供することができる。

また、本発明によれば、例えば、表示装置に光インターフェクション回路を適用することで、高品位な画像を表示することができる電子機器を安価に提供することができる。

【0024】

【発明の実施の形態】

以下、本発明に係るチップ間光インターフェクション回路について、図面を参照して説明する。

(第1実施形態)

図1は本発明の第1実施形態に係るチップ間光インターフェクション回路の斜視図である。図2は図1に示すチップ間光インターフェクション回路の要部断面図である。本実施形態は、基板上に配置された複数の集積回路チップ（ICチップ、LSIチップなど）相互間を光導波路30を用いて接続するものである。

【0025】

基板10の上面には、複数の集積回路からなるLSI201a, 201b, 201cが実装されている。また、基板10の上面には、複数の光導波路30と、複数の微小タイル状素子200が取り付けられている。基板10としては、ガラスエポキシ基板、セラミック、ガラス、プラスチック、半導体基板、シリコンなど任意のものを適用することができる。各LSI201a, 201b, 201cは、半導体チップからなり、図2に示すように、基板10の上面にフリップチップ実装されている。なお、各LSI201a, 201b, 201cは、フリップチップ実装以外の方法で基板10に実装してもよい。

【0026】

微小タイル状素子200は、発光機能又は受光機能をもつ微小タイル状素子である。そして、発光機能をもつ微小タイル状素子200と受光機能をもつ微小タイル状素子が一対となり、それぞれ1つの光導波路30の端部に設けられている。換言すれば、発光機能をもつ微小タイル状素子200と受光機能をもつ微小タイル状素子が、光導波路30で光学的に接続されている。

【0027】

具体的には、図2に示すように、各微小タイル状素子200は基板10上に設けられた電極（ボンディングパッド）211と接続している。ここでは、LSI201a, 201b, 201cの基板10への実装は一般的なフリップチップ実装方法を使うことができる。例えばLSI201a, 201b, 201cの接続端子に設けられたバンプ212を電極211に圧着接合あるいは導電ペーストや異方性導電材を介して接続する。これらにより、LSI201a, 201b, 201cと微小タイル状素子200は、バンプ212及び電極211を介して電気的に接続される。

【0028】

そこで、例えば L S I 2 0 1 a の出力信号（電気信号）は、バンプ 2 1 2、電極（ボンディングパッド）2 1 1 を介して微小タイル状素子 2 0 0 に送られる。その出力信号は、L S I 2 0 1 a の近隣に配置されている微小タイル状素子 2 0 0 で光パルス信号に変換され、光導波路 3 0 を伝播する。その光パルス信号は、光導波路 3 0 の端部であって L S I 2 0 1 b の近隣に配置されている微小タイル状素子 2 0 0 で電気信号に変換され、L S I 2 0 1 b の入力信号となる。

【0029】

本実施形態において、1つの光導波路 3 0 に、受光機能をもつ複数の微小タイル状素子 2 0 0 を接続して、光バスを形成してもよい。このような構成にすると、例えば、複数の L S I 2 0 1 a, 2 0 1 b, 2 0 1 c で共有されるクロック信号の配信を光導波路 3 0 によって行うことができる。

【0030】

（第2実施形態）

次に、本発明の第2実施形態に係るチップ間光インターフェクション回路の応用例について図3から図5を参照して説明する。本実施形態は、フラットパネルディスプレイ（F P D）のタイミングコントロール回路とドライバ回路とを光導波路 3 0 を用いて接続するものである。図3は本発明の第2実施形態に係るチップ間光インターフェクション回路の応用例を示す回路図である。

【0031】

フラットパネルディスプレイの構成部材となる基板 1 0 の上面には、タイミングコントロール回路（タイミングコントローラ）2 2 2 と、複数のデータ線ドライバ回路 2 2 3 と、複数の走査線ドライバ回路 2 2 4 と、画素マトリックス（表示面）2 2 5 が設けられている。基板 1 0 としては、ガラス又はプラスチックなどを適用することができる。タイミングコントロール回路 2 2 2、データ線ドライバ回路 2 2 3 及び走査線ドライバ回路 2 2 4 は、それぞれ集積回路チップで構成されている。また、タイミングコントロール回路 2 2 2 の入力端子には、映像ソース 2 2 1（パソコン用コンピュータ、ビデオ、チューナなど）の出力端子が接続されている。

【0032】

そして、タイミングコントロール回路222とデータ線ドライバ回路223を結ぶように、またタイミングコントロール回路222と走査線ドライバ回路224を結ぶように、複数の光導波路30が設けられている。ここで、光導波路30は、データ線ドライバ回路223毎に、また走査線ドライバ回路224毎に、1本づつ設けられている。

【0033】

タイミングコントロール回路222は、光導波路30の本数と同じ数、すなわちデータ線ドライバ回路223と走査線ドライバ回路224の数と同じ数の発光素子を備えている。この発光素子は、タイミングコントロール回路222の出力手段となるものであり、上記実施形態の発光機能をもつ微小タイル状素子200に該当する第1微小タイル状素子21で構成されている。この第1微小タイル状素子21は、例えば面発光レーザ（V C S E L）、電界吸収変調内蔵のD F B（Distributed Feedback）レーザ又はL E Dなどを備えるものとする。

【0034】

各データ線ドライバ回路223及び各走査線ドライバ回路224は、受光素子を備えている。この受光素子は、データ線ドライバ回路223又は走査線ドライバ回路224の入力手段となるものであり、上記実施形態の受光機能をもつ微小タイル状素子200に該当する第2微小タイル状素子22で構成されている。この第2微小タイル状素子22は、例えばフォトダイオード又はフォトトランジスタなどを備えるものとする。

【0035】

このような構成により、まず、映像ソース221から出力された映像信号は、タイミングコントロール回路222に入力される。その映像信号は、タイミングコントロール回路222において処理され、各第1微小タイル状素子21によって光パルス信号に変換される。各第1微小タイル状素子21から放射された光パルス信号は、光導波路30を伝播し、第2微小タイル状素子22によって電気信号に変換され、各データ線ドライバ回路223及び各走査線ドライバ回路224の入力信号となる。この入力信号により、各データ線ドライバ回路223及び各走査線ドライバ回路224が制御される。

【0036】

そして、各データ線ドライバ回路223からは、画素マトリクス225に配置されている複数のデータ線（図示せず）毎に、データ信号が outputされる。また、各走査線ドライバ回路224からは、画素マトリクス225に配置されている複数の走査線（図示せず）毎に、走査信号が outputされる。これらの走査信号及びデータ信号により画素マトリクス225の各画素が逐次駆動制御され、画素マトリクス225において映像が表示される。

【0037】

なお、画素マトリクス225に配置されている走査線及びデータ線は、従来のフラットパネルディスプレイで用いられている電気配線で構成してもよいが、上記光導波路30で構成してもよい。この構成とした場合、データ線ドライバ回路223及び走査線ドライバ回路224の出力部に発光機能をもつ上記第1微小タイル状素子21を設けるとともに、各走査線及びデータ線から信号を受信する各画素の信号受信手段として、受光機能をもつ上記第2微小タイル状素子22を設けることが好ましい。

【0038】

これらにより、本実施形態によれば、フラットパネルディスプレイをなす基板10上において、タイミングコントロール回路222と各データ線ドライバ回路223及び各走査線ドライバ回路224との間で、光信号によって極めて高速なデータ伝送をすることができる。したがって、本実施形態によれば、フラットパネルディスプレイにおける画面の大型化及び高品位化を促進することができる。

【0039】

また、本実施形態によれば、光導波路30と発光素子（第1微小タイル状素子21）や受光素子（第2微小タイル状素子22）を複雑な機構や調整などを必要とせず簡単に接続することができる。また、本実施形態によれば、映像信号などを光信号で伝送することができるので、画面（フラットパネルディスプレイ）からなる電磁波を大幅に低減することができ、電磁波障害（EMI）の発生を大幅に低減することができる。また、光導波路30は金属配線パターンに重ねて形成することもできる。

【0040】

次に、本実施形態において、タイミングコントロール回路222、データ線ドライバ回路223及び走査線ドライバ回路224などをなす集積回路チップを基板10にフリップチップ実装した構成例について説明する。図4はタイミングコントロール回路などがフリップチップ実装された場合の構成例を示す要部断面図である。図5は図4に示す構成例の要部平面図である。本構成例は、本第2実施形態に第1実施形態の手法を組み合わせたものである。

【0041】

フリップチップIC234は、上記タイミングコントロール回路222、データ線ドライバ回路223又は走査線ドライバ回路224に相当する回路であり、基板10上においてフリップチップ実装されたICチップである。基板10上には、メタル配線（ボンディングパッド）231が設けられている。メタル配線231の上にバンプ233が設けられている。そして、バンプ233の上にフリップチップIC234が設けられている。

【0042】

フリップチップIC234の近傍には、図3における発光機能をもつ第1微小タイル状素子21又は受光機能をもつ第2微小タイル状素子22に相当する微小タイル状素子200が基板10上に複数配置されている。各微小タイル状素子200は光導波路30の一端で被われている。そして、フリップチップIC234の入力端子又は出力端子と微小タイル状素子200とは、バンプ233とメタル配線231によって電気的に接続されている。

【0043】

このような構成により、フリップチップIC234の出力信号又は入力信号を光導波路30などを介して極めて高速に伝送することができる。なお、図5に示すように、フリップチップIC234の近傍には、メタル配線231が複数設けられ、各メタル配線231毎に微小タイル状素子200が設けられ、微小タイル状素子200毎に光導波路30が設けられている。このような構成により、光パラレル通信を構成することができる。

【0044】

また、上記第1及び第2実施形態において、図1から図5に示す光導波路30の表面などには外乱光の入射を防ぐ処理が施されていることが好ましい。このような構成にすることにより、自然光又は室内の照明などの外乱光が光導波路30に入射することを防止することができる。また、複数の光導波路30を基板10上に密接させて配置した場合であっても、ある光導波路30の伝播光が他の光導波路30に入射することを防止することができる。

【0045】

また、上記第1及び第2実施形態において、基板上10において、1つの光導波路30に複数の発光機能を有する微小タイル状素子200を設け、その各微小タイル状素子200が該微小タイル状素子毎に少なくとも2種類の波長の異なる光を光導波路30に放射する構成としてもよい。このような構成とすれば、1つの光導波路30で複数種類の光信号を同時に伝送することができるので、信号伝送速度をさらに高速化することができ、さらにコンパクトな信号伝送手段を提供することができる。

【0046】

(光インターフェクション回路)

次に、上記第1実施形態及び第2実施形態のチップ間光インターフェクション回路の構成要素となる光インターフェクション回路の詳細について説明する。

【0047】

図6は本実施形態に係る光インターフェクション回路を示し、(a)は概略断面図であり、(b)は概略平面図である。本実施形態に係る光インターフェクション回路は、基板10の表面に接着された第1微小タイル状素子21及び第2微小タイル状素子22と、第1微小タイル状素子21と第2微小タイル状素子22を繋ぐように基板10の表面に形成された光導波路材からなる光導波路30とかなるものである。なお、第1微小タイル状素子21及び第2微小タイル状素子22は、上記第1実施形態及び第2実施形態の第1微小タイル状素子21及び第2微小タイル状素子22と同じものである。光導波路材としては、透明樹脂あるいはゾルゲルガラスを適用することができる。基板10としては、ガラスエポキシ、セラミック、プラスチック、ポリイミド、シリコン又はガラスなど任意のも

のを適用することができる。

【0048】

第1微小タイル状素子21及び第2微小タイル状素子22は、微小なタイル形状の半導体デバイス（微小タイル状素子）である。この微小タイル状素子は、例えば、厚さが $20\mu m$ 以下であり、縦横の大きさが数十 μm から数百 μm の板状部材である。微小タイル状素子の製造方法については、後で詳細に説明する。

【0049】

第1微小タイル状素子21は、発光機能をもつ発光部21aを備えている。第2微小タイル状素子22は、受光機能をもつ受光部22bを備えている。そして光導波路30をなす光導波路材は、少なくとも第1微小タイル状素子21の発光部21aと第2微小タイル状素子22の受光部22bを被うように形成されている。

【0050】

このように構成により、第1微小タイル状素子21の発光部21aから放射された光は、光導波路30を伝播し、第2微小タイル状素子22の受光部22bに到達する。そこで、発光部21aの発光動作を制御して光信号を発光部21aから放射すると、その光信号が光導波路30を伝播し、光導波路30を伝播してきた光信号を受光部22bが検出することができる。

【0051】

また、第1微小タイル状素子21から放射された光信号は、光導波路30を伝播して第2微小タイル状素子22に入射するとともに、第2微小タイル状素子22の上を通過する。これにより、1個の第1微小タイル状素子21から複数個の第2微小タイル状素子22へ略同時に光信号を送信することができる。ここで、第2微小タイル状素子22の厚さを $20\mu m$ 以下とすることにより、基板との段差が十分小さくなるため、図6のように段差を乗り越えて連続的に光導波路30を形成できる。段差部において連続的に光導波路30を形成しても、段差が小さいため、散乱などの光の伝達損失はほとんど無視できる。そのため段差部に段差緩和のための特別な構造や光学素子を必要としない。よって低コストかつ簡便に作製できる。また、光導波路30をなす光導波路材の厚さを数十 μm 以下にする

ことができる。

【0052】

第1微小タイル状素子21は、例えば、LED、VCSEL（面発光レーザ）又は電界吸収変調器内蔵のDFBレーザを備えるものとする。発光デバイスとして、LEDはもっとも構造が単純で作製が容易であるが、光信号の変調速度が数百Mbps程度と遅い。これに対してVCSELは、10Gbpsを超える非常に高速な変調が可能であるうえ、しきい値電流が小さく発光効率が高いので低消費電力で駆動できる。DFBレーザは、変調速度は1Gbps程度と面発光レーザには及ばないものの、微小タイル形状の端部から基板10の平面と平行な方向、すなわち光導波路30に沿った方向へレーザ光を出射するため、面発光レーザより効率よく光信号を伝播することができる。

【0053】

第2微小タイル状素子22は、例えば、フォトダイオード又はフォトトランジスタを備えるものとする。ここで、フォトダイオードとしては、PIN型フォトダイオード、APD（アバランシェフォトダイオード）、MSM型フォトダイオードを用途に応じて選ぶことができる。APDは、光感度、応答周波数ともに高い。MSM型フォトダイオードは、構造が単純で增幅用トランジスタとともに集積化しやすい。

【0054】

また、受光素子からなる第3微小タイル状素子（図示せず）を第1微小タイル状素子21に重ねるように形成することもできる。こうすれば第1微小タイル状素子21の発光量を第3微小タイル状素子でモニタし、その値を第1微小タイル状素子21へフィードバックさせることでAPC機能を持たせることができとなり、安定した光データ伝送を実現できる。あるいは第1微小タイル状素子21そのものにAPC機能を内蔵させてもよい。また、第2微小タイル状素子22は、検出した信号を増幅する回路などを備えることが望ましい。こうすることにより、装置をさらに高性能化することができる。

【0055】

そして、第1微小タイル状素子21及び第2微小タイル状素子22は、基板1

0に設けられた集積回路、又はEL表示回路、プラズマディスプレイ、液晶表示回路などの電子回路（図示せず）と電気的に接続されている。これにより、集積回路などからなるコンピュータシステムをコンパクトでありながら従来よりも高速にすることができる。また、基板10に設けられた平面ディスプレイなどの走査信号を本実施形態の光インターフェクション回路によって高速に伝送することができ、平面ディスプレイ装置における画面の大型化及び高品位化を促進することができる。

【0056】

図6においては、第1微小タイル状素子21と第2微小タイル状素子22がそれぞれ一つづつ、一本の光導光路30に結合されているが、第2微小タイル状素子22の個数は複数個であってもよい。この場合、一つの第1微小タイル状素子21（発光素子）から送信された光信号は、一本の光導光路30を伝播して、複数の第2微小タイル状素子22で同時に検出されることができる。これは一対多のバスラインと同じである。

また、第1微小タイル状素子21と第2微小タイル状素子22とともに複数個であってもよい。ここで、各第1微小タイル状素子21は、放射する光の波長が異なるものとしてもよい。また、各第2微小タイル状素子22は、少なくとも1つの第1微小タイル状素子21が放射する光の波長に対応して、波長選択機能をもつ受光手段であることが好ましい。これらにより、複数の第1微小タイル状素子21からそれぞれ送信された複数の光信号が、1つの光導波路30を同時に伝播して、複数の第2微小タイル素子22それぞれに検出されることができる。したがって、複数の光信号を並列に送受信することができるバスを、簡易に構成することができる。

【0057】

また、光導波路30は、図6においては直線状に形成されているが、曲線状に形成したり複数に分岐させることもできる。また、ループ状に形成してもかまわない。また、複数のタイル状素子を覆うようにシート状に形成してもよい。もちろん一つの基板10の表面に複数の組の第1微小タイル状素子21と第2微小タイル状素子22及び光導波路30を形成してもかまわない。さらに、基板10の

表裏両面に第1微小タイル状素子21と第2微小タイル状素子22及び光導波路30を形成することもできる。

【0058】

次に、本実施形態に係る光インターフェクション回路の変形例について図7から図10を参照して説明する。本実施形態は、第1微小タイル状素子21及び第2微小タイル状素子22の近傍の光導波路30において、光を散乱する光散乱機構を備えている点が図6に示す構成と異なる。図7は本実施形態に係る光インターフェクション回路の変形例を示す概略側面図である。

【0059】

本光インターフェクション回路は、光導波路30をなす光導波路材における第1微小タイル状素子21及び第2微小タイル状素子22の近傍に、光散乱機構31aをなす光散乱粒子が分散されている。光散乱粒子としては、例えばシリカ粒子、ガラス粒子又は金属粒子などを用いる。この光散乱機構31aを備えた光導波路30は、例えばディスペンサあるいはインクジェットノズルなどから液滴を吐出する液滴吐出方式を用いる。具体的には、あるインクジェットノズルなどから液状の光導波路材（樹脂など）を所定部位に吐出するとともに、他のインクジェットノズルなどから光散乱粒子を含んだ液状の光導波路材を所定部位に吐出することで、光散乱機構31aを備えた光導波路30を形成する。

【0060】

また、光導光路30の構成材料としては、樹脂の他にゾルゲルガラスを適用することができる。ゾルゲルガラスの製法は、金属アルコキシドに酸を加えて加水分解した溶液などを所定部位に塗布し、熱などのエネルギーを加えてガラス化するものである。

【0061】

図8は本実施形態に係る光インターフェクション回路の他の変形例を示す概略側面図である。本光インターフェクション回路の光散乱機構31a'は、光散乱粒子を分散した樹脂又はガラスがドーム状に形成したドーム状光散乱機構である。この光散乱機構31a'（ドーム状光散乱機構）を覆うように光導光路30が形成されている。この光散乱機構31a'は、図7に示す光散乱機構31aより

も、その大きさ及び形状などが制御しやすいので、光導波路30と第1微小タイル状素子21又は第2微小タイル状素子22との光結合効率の容易な調整が可能となる。

【0062】

次に、光散乱機構31a'の製造方法について説明する。まず、インクジェット又はディスペンサなどを用い、光散乱粒子を含んだ液状の樹脂又は珪酸エチルなどの金属アルコキシドに酸を加え加水分解した溶液などを基板10の所定部位にドーム状に塗布する。次いで、その塗布した部位に熱などのエネルギーを加えてかかる溶液を硬化又はガラス化する。このようにしてドーム状の光散乱機構31a'を第1微小タイル状素子21又は第2微小タイル状素子22の上に形成する。次いで、ドーム状の光散乱機構31a'を覆うように透明樹脂又はゾルゲルガラスで線状の光導光路30を形成する。

【0063】

図9は本実施形態に係る光インターフェクション回路の他の変形例を示す概略側面図である。本光インターフェクション回路の光散乱機構31bは、光導波路30をなす光導波路材の表面に凹凸を設けた構成としている。この光散乱機構31bも第1微小タイル状素子21及び第2微小タイル状素子22の近傍に設けられている。ここで、光散乱機構31bをなす凹凸は、エンボス加工又はスタンパー転写などで形成する。

【0064】

図10は本実施形態に係る光インターフェクション回路の他の変形例を示し、(a)は概略側面図であり、(b)は概略平面図である。本光インターフェクション回路の光散乱機構31cは、光導波路30をなす線状の光導波路材の線幅及び高さを変化させた構成としている。すなわち、光導波路30において、第2微小タイル状素子22の受光部22bの近傍について光導波路材の線幅及び高さを小さく絞っている。

【0065】

光散乱機構31cを備えた光導波路30の製造方法について次に説明する。先ず、基板10の表面の所望位置に第1微小タイル状素子21及び第2微小タイル

状素子22を接着する。次いで、基板10の表面全体、並びに第1微小タイル状素子21及び第2微小タイル状素子22の表面全体に撥液処理を施す。次いで、撥液処理した面における光導波路30を設ける領域に親液処理を施す。ここで、親液処理を施す領域は、線状であって第2微小タイル状素子22の受光部22bの近傍について線幅を絞ったパターンとする。なお、親液処理としては、例えば紫外線を照射することで行う。

【0066】

次いで、親液処理した領域内に、インクジェットノズルなどから液状の光導波路材を滴下する。すると、かかる滴下された光導波路材は、親液処理された領域において濡れ広がる作用を受け、撥液処理された領域からは弾き出される作用を受け、また表面張力なども作用する。そこでかかる光導波路材は、図10に示すような受光部22bの近傍で線幅が絞られた形状となる。

【0067】

上記のように、光導波路30における第1微小タイル状素子21の近傍に光散乱機構31a, 31b, 31cを設けることにより、第1微小タイル状素子21から放射された光信号がその光散乱機構31a, 31b, 31cで散乱され、光導波路全体に効率よく光信号を伝播させることができる。また、第2微小タイル状素子22の近傍に光散乱機構31a, 31b, 31cを設けることで、光導波路30を伝播してきた光信号が第2微小タイル状素子22の近傍で散乱され、光信号を第2微小タイル状素子22に効率よく入射させることができる。

【0068】

次に、本実施形態に係る光インターフェクション回路のさらなる変形例について図11から図13を参照して説明する。本実施形態は、光導波路30における第1微小タイル状素子21及び第2微小タイル状素子22の近傍、又は光導波路30の端部に、光を反射する光反射機構を備える点が上記実施形態と異なる。図11は、本実施形態に係る光インターフェクション回路の変形例を示し、(a)は概略側面図であり、(b)は概略平面図である。

【0069】

例えば、光導波路30をなす光導波路材の表面に金属膜を形成することで光反

射機構 32a, 32b を設ける。また、光導波路 30 をなす光導波路材の表面に金属微粒子を含む塗料を塗布することで光反射機構 32a, 32b を設けてもよい。金属微粒子としては、銀、アルミニウム、マグネシウム、銅、ニッケル、チタン、クロム、亜鉛などの微粒子を適用することができる。光反射機構 32a, 32b をなす金属膜の形成及び金属微粒子を含む塗料の塗布は、インクジェットノズルなどから塗料などを吐出することで行ってもよい。また、光反射機構 32a 又は光反射機構 32b は、光導光路 30 の全体に施してもかまわない。

【0070】

このような構成にすることにより、第 1 微小タイル状素子 21 から放射された光信号が光反射機構 32a で光導波路 30 に沿う方向に反射され、その光信号の一部が光反射機構 32b で第 2 微小タイル状素子 22 の方向に反射される。したがって、本実施形態によれば、光信号を効率よく伝播させることができる。

【0071】

図 12 は本実施形態に係る光インターフェクション回路の他の変形例を示し、(a) は概略側面図であり、(b) は概略平面図である。本光インターフェクション回路の光反射機構 32c は、反射面を有する反射板が光導波路 30 の端部に貼り付けられた構成となっている。ここで、光反射機構 32c の反射面は、基板 10 の表面に対して例えば 45 度の角度をもつように設けられている。

【0072】

また、本光インターフェクション回路では、2 本の平行な光導波路 30a, 30b が設けられている。そして、光反射機構 32c は、2 本の光導波路 30a, 30b の一方端に設けられ、光導波路 30a, 30b に共用される 1 枚の共通反射板となっている。そこで、2 つの第 1 微小タイル状素子 21 からそれぞれ放射された光信号は、光反射機構 32c によってそれぞれ光導波路 30a, 30b に沿う方向に反射される。したがって、本実施形態によれば、光信号を効率よく伝播させることができるとともに、効率よく光インターフェクション回路を製造することができる。

なお、図 12 に示す形態では、2 本の光導波路 30a, 30b に共通の光反射機構 32c を設けたが、3 本以上の光導波路に共通の光反射機構 32c を設けて

もよい。

【0073】

図13は本実施形態に係る光インターフェクション回路の他の変形例を示し、(a)は概略側面図であり、(b)は概略平面図である。本光インターフェクション回路の光反射機構32d, 32eは、グレーティングを施した板状の光学部品(グレーティング部品)である。光反射機構32dは第1微小タイル状素子21に被さるように、光反射機構32eは第2微小タイル状素子22に被さるように、光導波路30上に設置されている。

【0074】

ここで、光導波路30aと光導波路30bの間隔が比較的大きい場合は、図13に示すように各光導波路30a, 30bに別個に光反射機構32eを取り付ける。光導波路30aと光導波路30bが接近しておりほぼ平行に配置されている場合は、図13に示すように光導波路30a, 30bに共通な光反射機構32dを取り付けてもよい。

【0075】

上記図7から図13に示す光散乱機構及び光反射機構は、互いに組み合わせて用いるより効果的である。

【0076】

(製造方法)

次に、上記実施形態に係る光インターフェクション回路における光導波路30の製造方法について、図14から図17を参照して説明する。図14は光導波路30の製造方法を示す模式側面図である。

【0077】

先ず、基板10の上面に上記第1微小タイル状素子及び第2微小タイル状素子を接着しておく。その後、光導波路30の製造工程に入る。そして、図14(a)に示すように、基板10の上面と第1微小タイル状素子及び第2微小タイル状素子(図示せず)の上面の全体に、液状の光硬化樹脂30cをコーティングする。このコーティングは、スピンドルコート法、ロールコート法、スプレイコート法などで行う。

【0078】

次いで液状の光硬化樹脂30cに対して、所望パターンのマスクを介して紫外線（UV）を照射する。これにより、液状の光硬化樹脂30cにおける所望領域だけが硬化しパターニングされる。そして、硬化していない樹脂を洗浄などにより除去することで、図14（b）に示すように、硬化された光導波路材からなる光導波路30dが形成される。

【0079】

図15は光導波路30の製造方法についての他の例を示す模式側面図である。先ず、基板10の上面に上記第1微小タイル状素子及び第2微小タイル状素子を接着しておく。その後、光導波路30の製造工程に入る。そして、図15（a）に示すように、基板10の上面と第1微小タイル状素子及び第2微小タイル状素子（図示せず）の上面全体に樹脂30eをコーティングして硬化させる。このコーティングは、スピンドルコート法、ロールコート法、スプレイコート法などで行う。次いで、樹脂30eにおける所望領域にレジストマスク41を形成する。このレジストマスク41の形成領域は光導波路30を形成する領域と同じである。

【0080】

次いで、図15（b）に示すように、レジストマスク41の上から基板10全体についてドライエッチング又はウェットエッチングを施し、レジストマスク41の下以外にある樹脂eを除去する。このようにフォトリソパターニングして、レジストマスク41を除去することで、光導波路材からなる光導波路30fが形成される。

【0081】

図16は光導波路30の製造方法についての他の例を示す模式側面図である。先ず、基板10の上面に上記第1微小タイル状素子及び第2微小タイル状素子を接着しておく。その後、光導波路30の製造工程に入る。そして、基板10の上面と第1微小タイル状素子及び第2微小タイル状素子（図示せず）の上面全体に、撥液処理を施して撥液表面51を設ける。

【0082】

次いで、図16（a）に示すように、撥液表面51における所望パターン領域

に紫外線を照射することなどして、撥液表面51のなかに所望パターンの親液表面52を設ける。次いで、図16（b）に示すように、親液表面52のなかに、インクジェットノズルまたはディスペンサなどから液状の光導波路材30gを滴下する。光導波路材30gとしては、透明樹脂又はゾルゲルガラスを用いる。そして、基板10上に滴下された光導波路材30gを硬化させることで、光導波路材からなる光導波路30hが形成される。

ゾルゲルガラスで光導波路30gを形成する場合は、金属アルコキシドに酸を加えて加水分解した溶液などをインクジェットノズルまたはディスペンサなどから親液表面52に滴下する。次いで、滴下した溶液に熱などのエネルギーを加えてガラス化し光導波路30hとする。

【0083】

図17は光導波路30の製造方法についての他の例を示す模式側面図である。先ず、基板10の上面に上記第1微小タイル状素子及び第2微小タイル状素子を接着しておく。その後、光導波路30の製造工程に入る。そして、図17（a）に示すように、基板10の上面並びに第1微小タイル状素子及び第2微小タイル状素子の上面であって、光導波路30を設けようとする領域を被うように、液状の樹脂30iを塗布する。

【0084】

次いで、光導波路30のパターン形状52をもつ型であるスタンパ51を、基板10の上方から基板10の表面に押し付ける。次いで、図17（b）に示すように、基板10の表面からスタンパ51を持ち上げる。これらにより、スタンパ51を用いたパターン転写法により、基板10上に所望パターン形状の光導波路材からなる光導波路30jが形成される。

【0085】

光導波路30の製造方法は、上記図14から図17に示す方法以外に、次に述べる方法を用いてもよい。例えば、スクリーン印刷又はオフセット印刷などの印刷法を用いて、光導波路30をなす光導波路材を設けてもよい。また、スリット状の隙間から液状の樹脂を吐出するスリットコート法を用いて、光導波路30をなす光導波路材を設けてもよい。スリットコート法としては、毛細管現象を用い

て樹脂などの所望部材を基板10に塗布する手法を採用してもよい。

【0086】

(微小タイル状素子の製造方法)

次に、上記第1微小タイル状素子21及び第2微小タイル状素子22をなす微小タイル状素子の製造方法について図18から図27を参照して説明する。本製造方法では、微小タイル状素子としての化合物半導体デバイス（化合物半導体素子）を基板となるシリコン・LSIチップ上に接合する場合について説明するが、半導体デバイスの種類及びLSIチップの種類に関係なく本発明を適用することができます。なお、本実施形態における「半導体基板」とは、半導体物資から成る物体をいうが、板形状の基板に限らず、どのような形状であっても半導体物資であれば「半導体基板」に含まれる。

【0087】

<第1工程>

図18は微小タイル状素子の製造方法の第1工程を示す概略断面図である。図18において、基板110は、半導体基板であり、例えばガリウム・ヒ素化合物半導体基板とする。基板110における最下位層には、犠牲層111を設けておく。犠牲層111は、アルミニウム・ヒ素(AlAs)からなり、厚さが例えば数百nmの層である。

例えば、犠牲層111の上層には機能層112を設ける。機能層112の厚さは、例えば $1\mu m$ から $10(20)\mu m$ 程度とする。そして、機能層112において半導体デバイス（半導体素子）113を作成する。半導体デバイス113としては、例えば発光ダイオード(LED)、面発光レーザ(VCSEL)、フォトダイオード(PD)、DFBレーザなどが挙げられる。これらの半導体デバイス113は、何れも基板110上に多層のエピタキシャル層を積層して素子が形成されたものである。また、各半導体デバイス113には、電極も形成し、動作テストも行う。

【0088】

<第2工程>

図19は微小タイル状素子の製造方法の第2工程を示す概略断面図である。本

工程においては、各半導体デバイス113を分割するように分離溝121を形成する。分離溝121は、少なくとも犠牲層111に到達する深さをもつ溝とする。例えば、分離溝の幅及び深さとともに、 $10\mu m$ から数百 μm とする。また、分離溝121は、後述するところの選択エッチング液が当該分離溝121を流れるように、行き止まりなく繋がっている溝とする。さらに、分離溝121は、碁盤のごとく格子状に形成することが好ましい。

また、分離溝121相互の間隔を数十 μm から数百 μm として、分離溝121によって分割・形成される各半導体デバイス113のサイズを、数十 μm から数百 μm 四方の面積をもつものとする。分離溝121の形成方法としては、フォトリソグラフィとウェットエッチングによる方法、またはドライエッチングによる方法を用いる。また、クラックが基板に生じない範囲でU字形溝のダイシングで分離溝121を形成してもよい。

【0089】

<第3工程>

図20は微小タイル状素子の製造方法の第3工程を示す概略断面図である。本工程においては、中間転写フィルム131を基板110の表面（半導体デバイス113側）に貼り付ける。中間転写フィルム131は、表面に粘着剤が塗られたフレキシブルな帯形状のフィルムである。

【0090】

<第4工程>

図21は微小タイル状素子の製造方法の第4工程を示す概略断面図である。本工程においては、分離溝121に選択エッチング液141を注入する。本工程では、犠牲層111のみを選択的にエッチングするために、選択エッチング液141として、アルミニウム・ヒ素に対して選択性が高い低濃度の塩酸を用いる。

【0091】

<第5工程>

図22は微小タイル状素子の製造方法の第5工程を示す概略断面図である。本工程においては、第4工程での分離溝121への選択エッチング液141の注入後、所定時間の経過により、犠牲層111のすべてを選択的にエッチングして基

板110から取り除く。

【0092】

＜第6工程＞

図23は微小タイル状素子の製造方法の第6工程を示す概略断面図である。第5工程で犠牲層111が全てエッティングされると、基板110から機能層112が切り離される。そして、本工程において、中間転写フィルム131を基板110から引き離すことにより、中間転写フィルム131に貼り付けられている機能層112を基板110から引き離す。

これらにより、半導体デバイス113が形成された機能層112は、分離溝121の形成及び犠牲層111のエッティングによって分割されて、所定の形状（例えば、微小タイル形状）の半導体素子（上記実施形態の「微小タイル状素子」）とされ、中間転写フィルム131に貼り付け保持されることとなる。ここで、機能層の厚さが例えば $1\text{ }\mu\text{m}$ から $8\text{ }\mu\text{m}$ 、大きさ（縦横）が例えば数十 μm から数百 μm であるのが好ましい。

【0093】

＜第7工程＞

図24は微小タイル状素子の製造方法の第7工程を示す概略断面図である。本工程においては、（微小タイル状素子161が貼り付けられた）中間転写フィルム131を移動させることで、最終基板171の所望の位置に微小タイル状素子161をアライメントする。ここで、最終基板171は、例えば、シリコン半導体（図1における基板10）からなり、LSI領域172が形成されている。また、最終基板171の所望の位置には、微小タイル状素子161を接着するための接着剤173を塗布しておく。

【0094】

＜第8工程＞

図25は微小タイル状素子の製造方法の第8工程を示す概略断面図である。本工程においては、最終基板171の所望の位置にアライメントされた微小タイル状素子161を、中間転写フィルム131越しに裏押しピン181で押しつけて最終基板171に接合する。ここで、所望の位置には接着剤173が塗布されて

いるので、その最終基板171の所望の位置に微小タイル状素子161が接着される。

【0095】

<第9工程>

図26は微小タイル状素子の製造方法の第9工程を示す概略断面図である。本工程においては、中間転写フィルム131の粘着力を消失させて、微小タイル状素子161から中間転写フィルム131を剥がす。

中間転写フィルム131の粘着剤は、紫外線(UV)又は熱により粘着力が消失するものにしておく。UV硬化性の粘着剤とした場合は、裏押しピン181を透明な材質にしておき、裏押しピン181の先端から紫外線(UV)を照射することで中間転写フィルム131の粘着力を消失させる。熱硬化性の接着剤とした場合は、裏押しピン181を加熱すればよい。あるいは第6工程の後で、中間転写フィルム131を全面紫外線照射するなどして粘着力を全面消失させておいてもよい。粘着力が消失したとはいえ実際には僅かに粘着性が残っており、微小タイル状素子161は非常に薄く軽いので中間転写フィルム131に保持される。

【0096】

<第10工程>

本工程は、図示していない。本工程においては、加熱処理などを施して、微小タイル状素子161を最終基板171に本接合する。

【0097】

<第11工程>

図27は微小タイル状素子の製造方法の第11工程を示す概略断面図である。本工程においては、微小タイル状素子161の電極と最終基板171上の回路を配線191により電気的に繋ぎ、一つのLSIチップなど(光インターフェクション回路用の集積回路チップ)を完成させる。最終基板171としては、シリコン半導体のみならず、石英基板又はプラスチックフィルムを適用してもよい。

【0098】

(応用例)

以下、本発明に係るチップ間光インターフェクション回路の応用例について説

明する。

例えば上記実施形態のチップ間光インターフェクション回路をオプトエレクトロニクス集積回路の信号伝送手段として用いる。オプトエレクトロニクス集積回路としては、コンピュータが挙げられる。そして、CPUをなすLSIチップを基板10上にフリップチップ実装し、記憶装置などをなすLSIチップも基板10上にフリップチップ実装する。そして、CPUをなすLSIチップ内の信号処理は電気信号を用いて行うが、CPUと記憶装置などの間でデータを伝送するバスに上記実施形態のチップ間光インターフェクション回路を適用する。

【0099】

これらにより、本応用例によれば、簡易な構成でありながら、コンピュータの処理速度のボトルネックとなっているバスにおける信号伝達速度を従来よりも大幅に高めることが可能となる。また、本応用例によれば、コンピュータシステムなどを大幅に小型化することが可能となる。

【0100】

(電子機器)

上記実施形態のチップ間光インターフェクション回路又はフラットパネルディスプレイを備えた電子機器の例について説明する。

図28は、携帯電話の一例を示した斜視図である。図28において、符号100は上記のチップ間光インターフェクション回路を用いた携帯電話本体を示し、符号1001は上記のフラットパネルディスプレイ（電気光学装置）を用いた表示部を示している。

【0101】

図29は、腕時計型電子機器の一例を示した斜視図である。図29において、符号1100は上記のチップ間光インターフェクション回路を用いた時計本体を示し、符号1101は上記のフラットパネルディスプレイ（電気光学装置）を用いた表示部を示している。

【0102】

図30は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図30において、符号1200は情報処理装置、符号1202はキー

ボードなどの入力部、符号1204は上記のチップ間光インターフェクション回路を用いた情報処理装置本体、符号1206は上記のフラットパネルディスプレイ（電気光学装置）を用いた表示部を示している。

【0103】

図28から図30に示す電子機器は、上記実施形態のチップ間光インターフェクション回路又はフラットパネルディスプレイを備えているので、表示品位に優れ、特に、高速応答で明るい大きな画面の表示部を備えた電子機器を実現することができる。また、上記実施形態のチップ間光インターフェクション回路を用いることによって、従来のものよりも電子機器を高性能化及び小型化することができる。さらにまた、上記実施形態のチップ間光インターフェクション回路を用いることによって、製造コストを従来のものよりも低減することができる。

【0104】

なお、本発明の技術範囲は上記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能であり、実施形態で挙げた具体的な材料や構成などはほんの一例に過ぎず適宜変更が可能である。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係る回路の斜視図である。

【図2】 同上の回路の要部断面図である。

【図3】 本発明の第2実施形態に係る回路の回路図である。

【図4】 同上の回路の要部断面図である。

【図5】 同上の回路の要部平面図である。

【図6】 本発明の実施形態に係る回路要素の概略図である。

【図7】 同上の回路要素の変形例を示す側面図である。

【図8】 同上の回路要素の変形例を示す側面図である。

【図9】 同上の回路要素の変形例を示す側面図である。

【図10】 同上の回路要素の変形例を示す側面図である。

【図11】 同上の回路要素の変形例を示す側面図である。

【図12】 同上の回路要素の変形例を示す側面図である。

【図13】 同上の回路要素の変形例を示す側面図である。

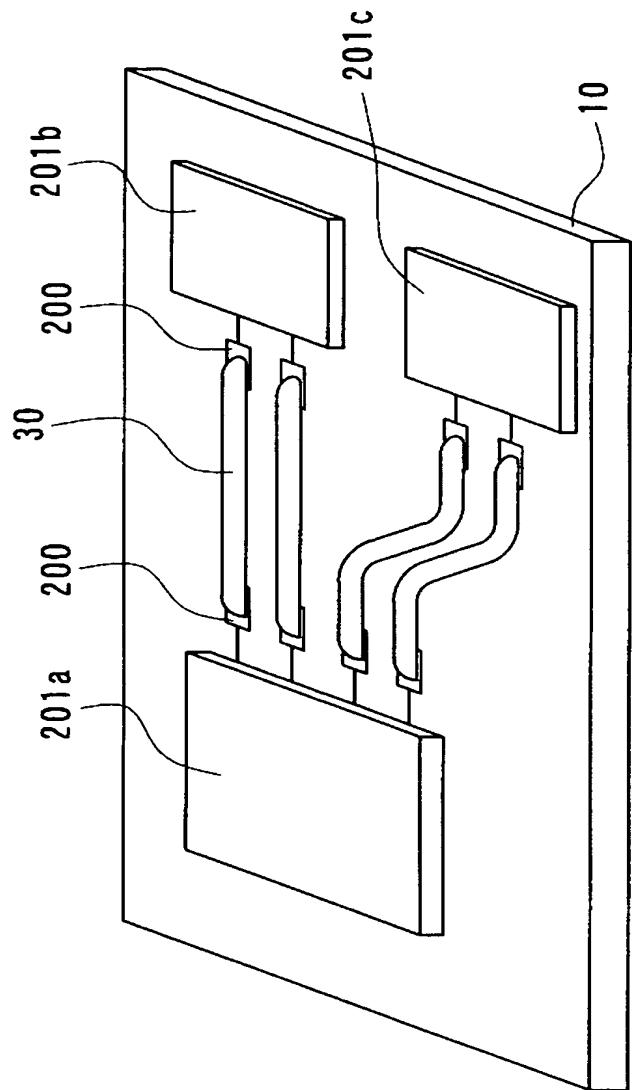
- 【図 1 4】 本発明の実施形態に係る製造方法を示す模式側面図である。
- 【図 1 5】 本発明の実施形態の他の製造方法を示す模式側面図である。
- 【図 1 6】 本発明の実施形態の他の製造方法を示す模式側面図である。
- 【図 1 7】 本発明の実施形態の他の製造方法を示す模式側面図である。
- 【図 1 8】 微小タイル状素子の製法の第 1 工程を示す概略断面図である。
- 【図 1 9】 同上の製法の第 2 工程を示す概略断面図である。
- 【図 2 0】 同上の製法の第 3 工程を示す概略断面図である。
- 【図 2 1】 同上の製造方法の第 4 工程を示す概略断面図である。
- 【図 2 2】 同上の製造方法の第 5 工程を示す概略断面図である。
- 【図 2 3】 同上の製造方法の第 6 工程を示す概略断面図である。
- 【図 2 4】 同上の製造方法の第 7 工程を示す概略断面図である。
- 【図 2 5】 同上の製造方法の第 8 工程を示す概略断面図である。
- 【図 2 6】 同上の製造方法の第 9 工程を示す概略断面図である。
- 【図 2 7】 同上の製造方法の第 11 工程を示す概略断面図である。
- 【図 2 8】 本実施形態の回路を備えた電子機器の一例を示す図である。
- 【図 2 9】 本実施形態の回路を備えた電子機器の一例を示す図である。
- 【図 3 0】 本実施形態の回路を備えた電子機器の一例を示す図である。

【符号の説明】

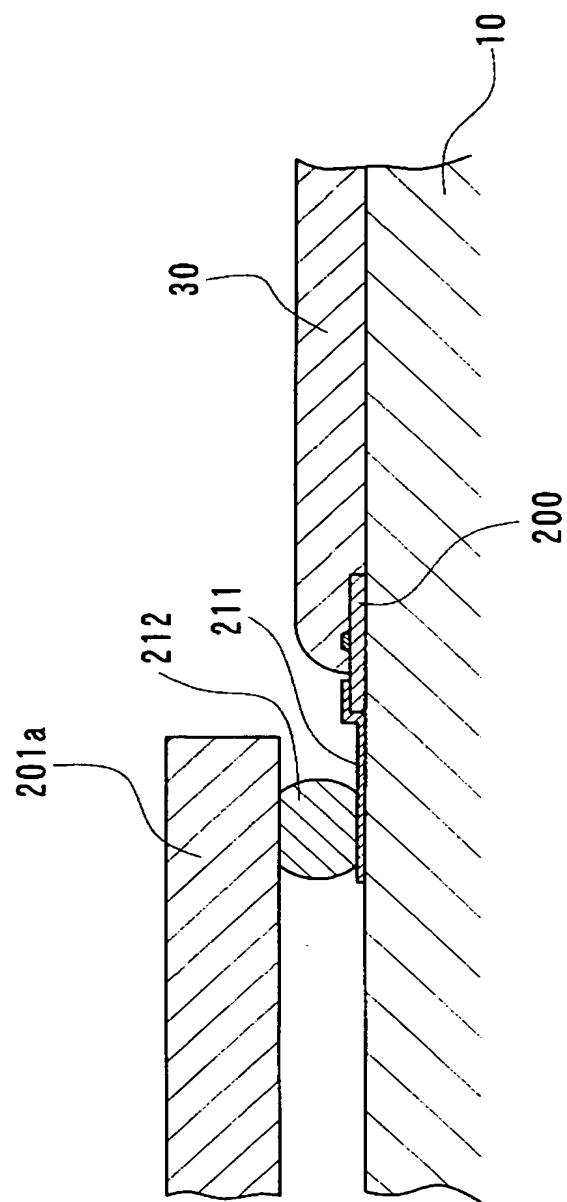
1 0 … 基板、 2 1 … 第 1 微小タイル状素子、 2 1 a … 発光部、 2 2 … 第 2 微小タイル状素子、 2 2 b … 受光部、 3 0 … 光導波路、 2 0 0 … 微小タイル状素子、
2 0 1 a, 2 0 1 b, 2 0 1 c … L S I 、 2 1 1 … 電極（ポンディングパッド）
、 2 1 2, 2 3 3 … バンプ、 2 2 1 … 映像ソース、 2 2 2 … タイミングコントロール回路（タイミングコントローラ）、 2 2 3 … データ線ドライバ回路、 2 2 4
… 走査線ドライバ回路、 2 2 5 … 画素マトリクス、 2 3 1 … メタル配線、 2 3 4
… フリップチップ I C

【書類名】 図面

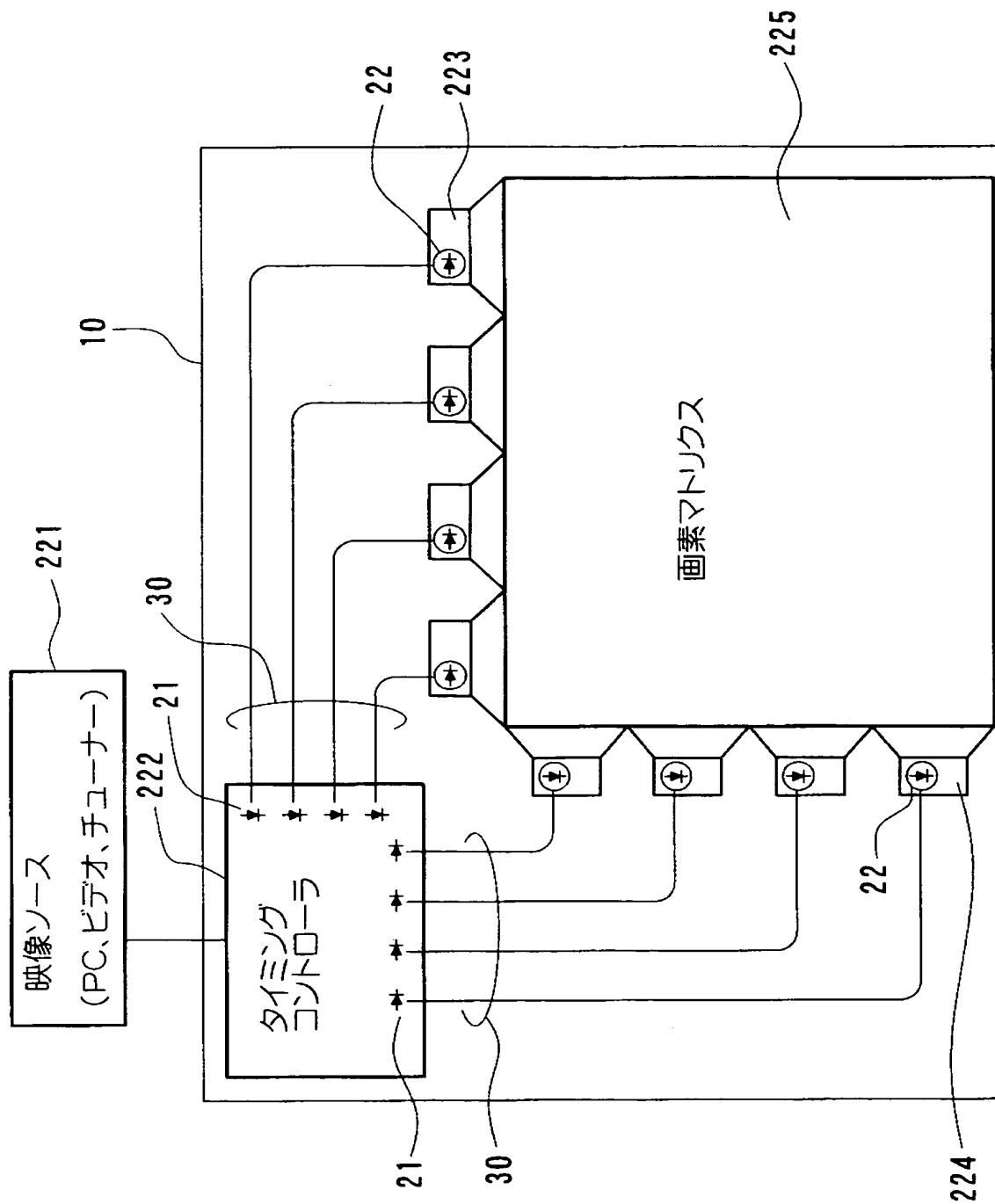
【図 1】



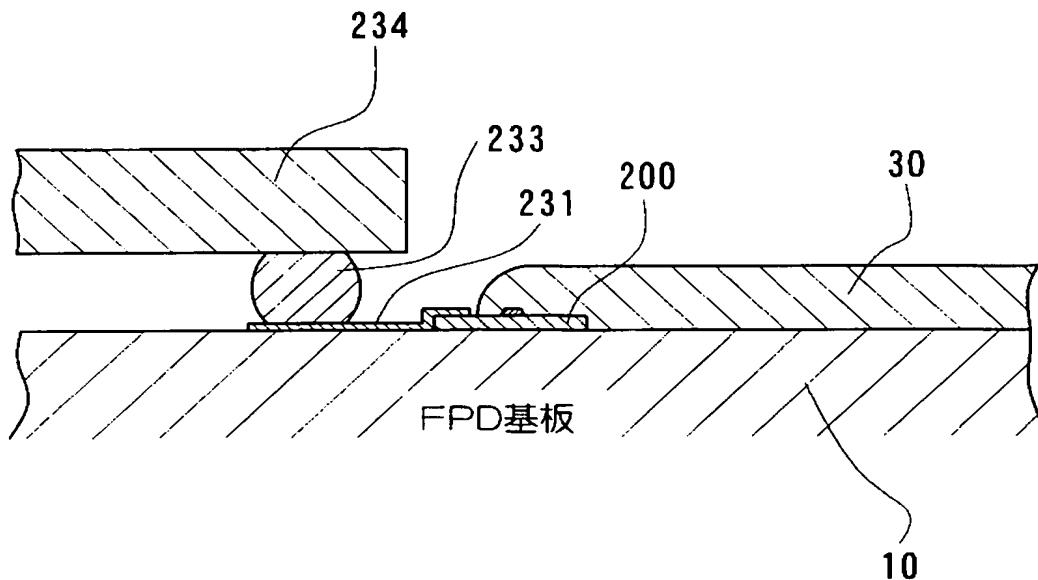
【図2】



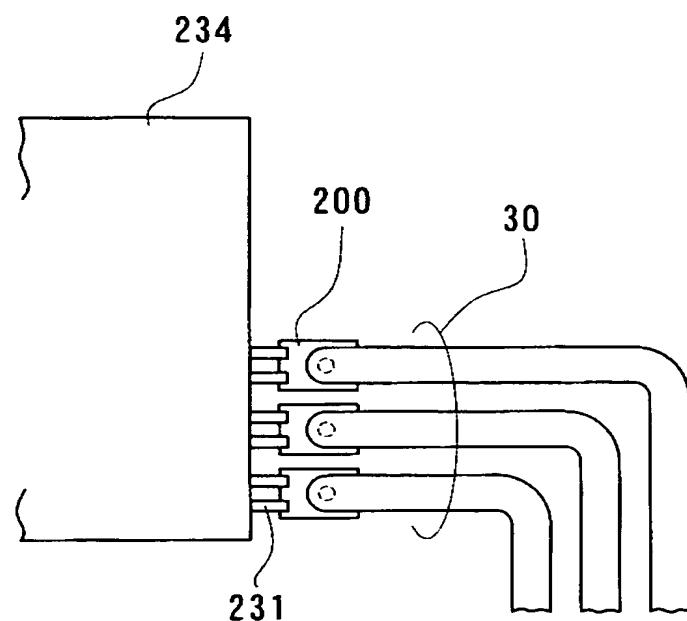
【図3】



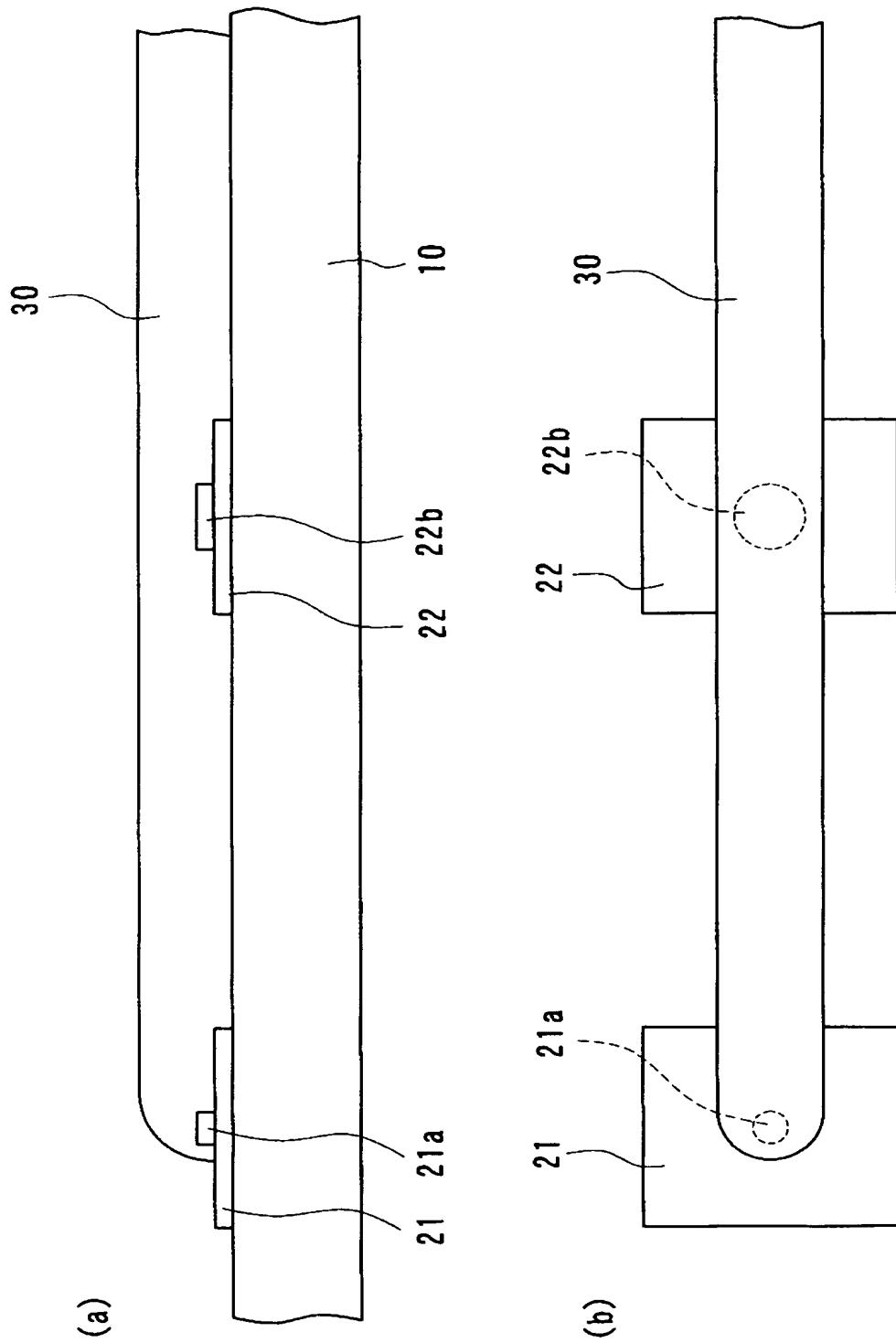
【図4】



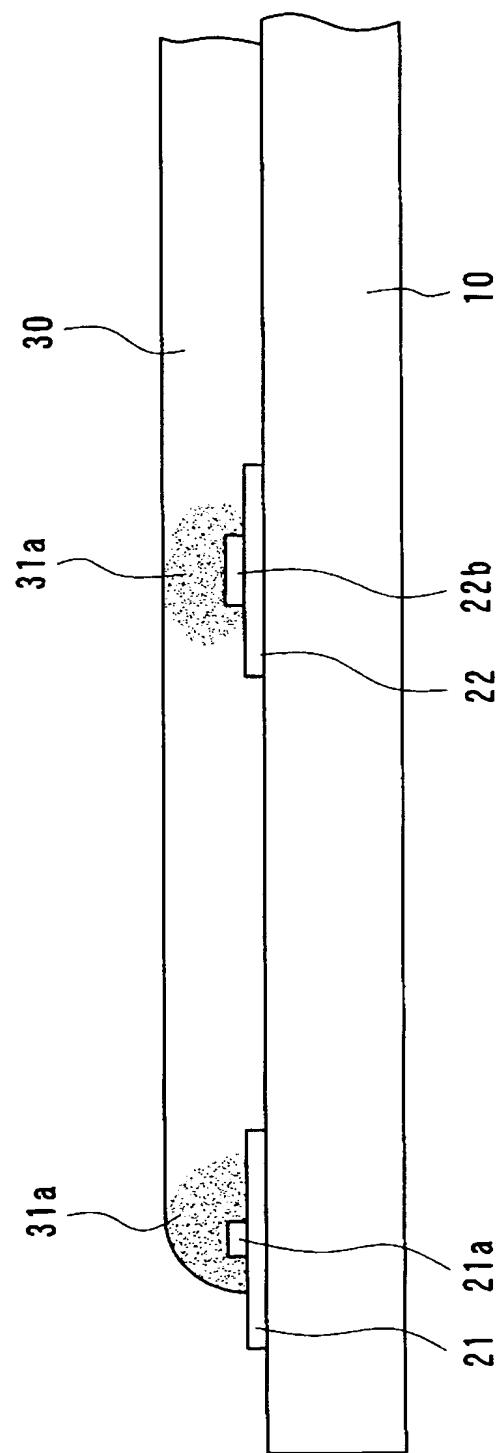
【図5】



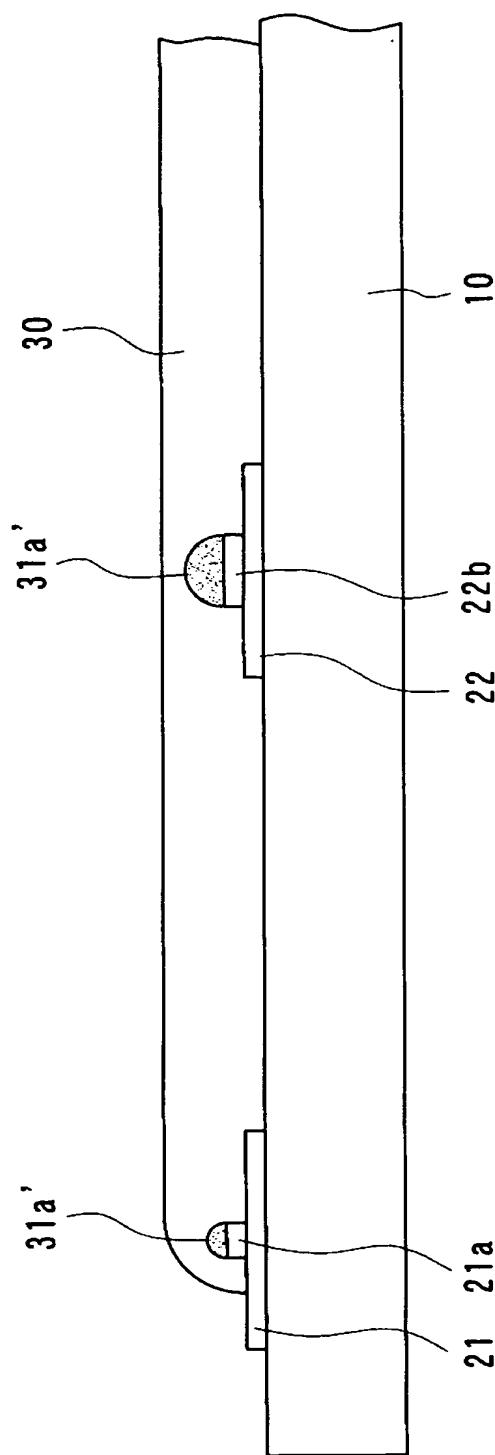
【図6】



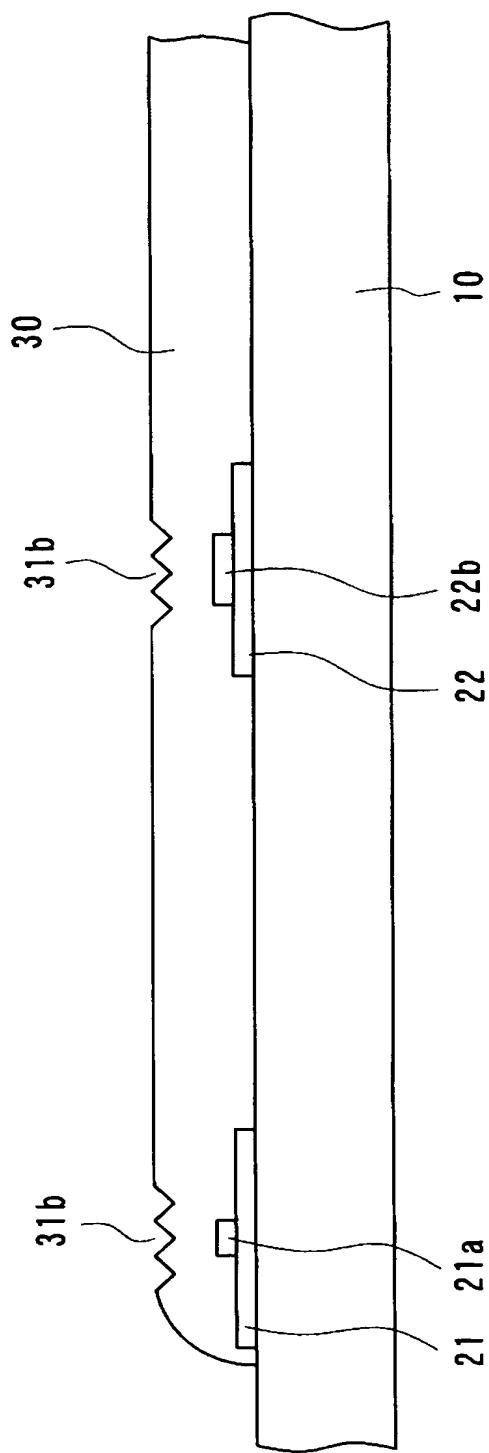
【図7】



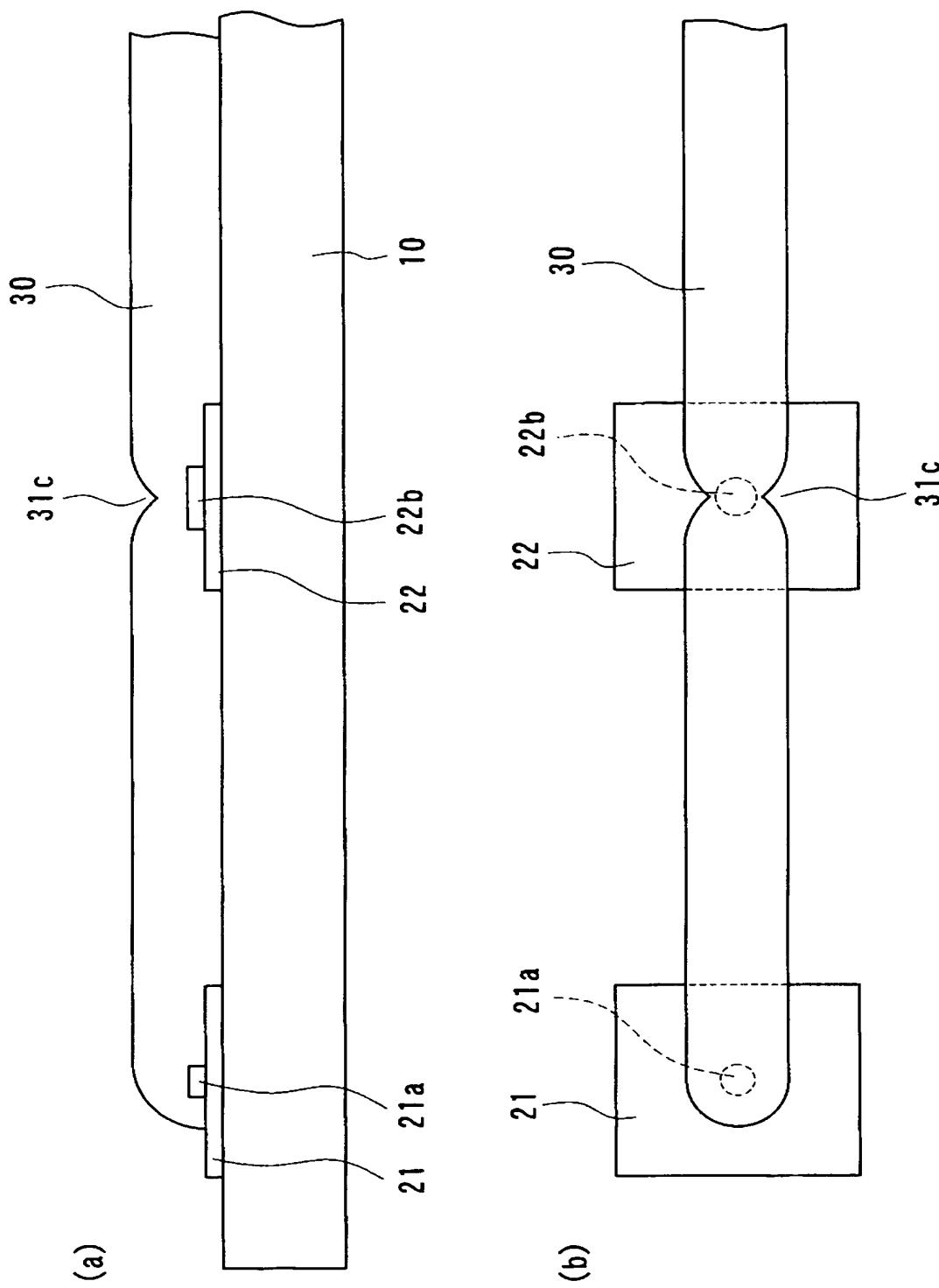
【図8】



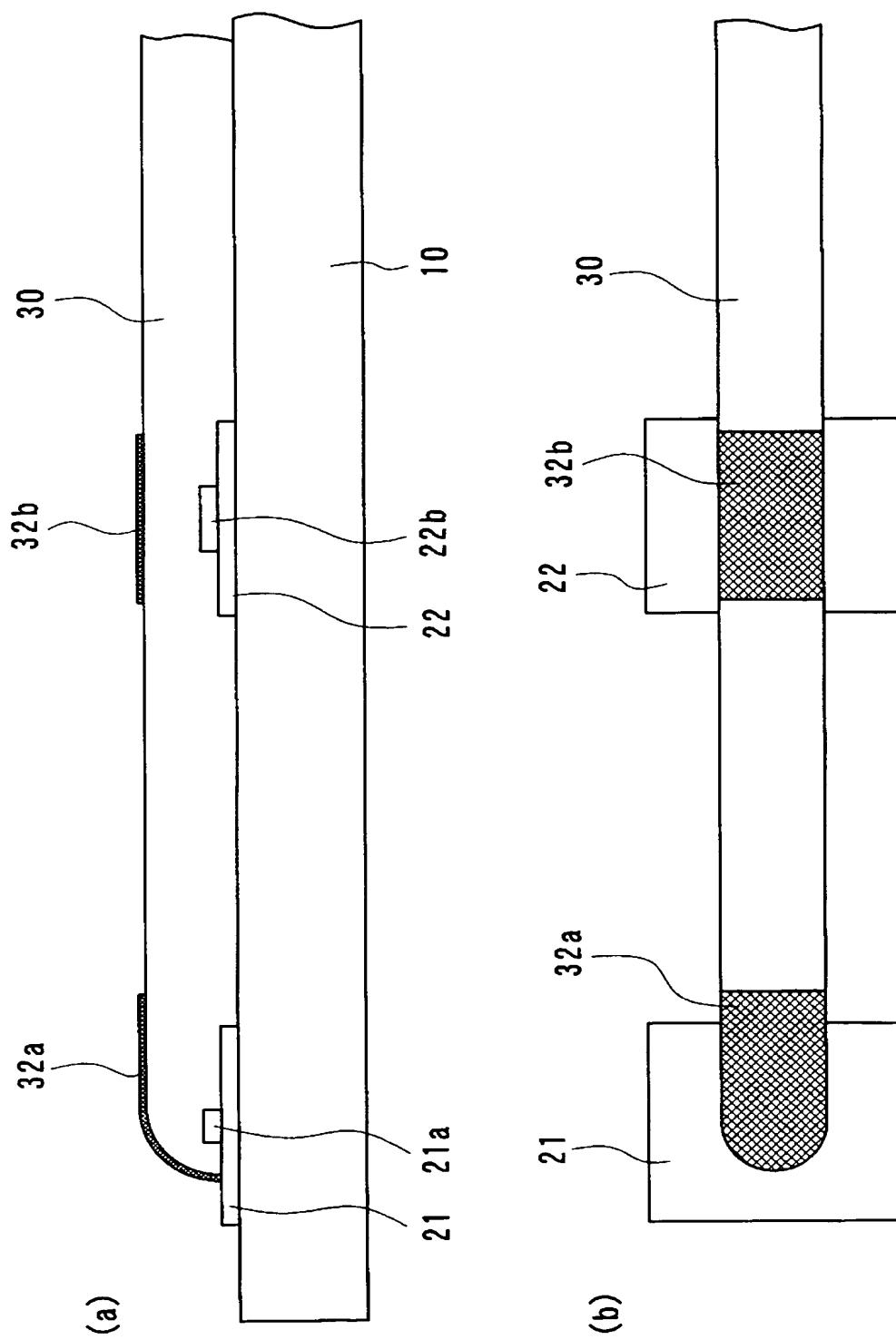
【図9】



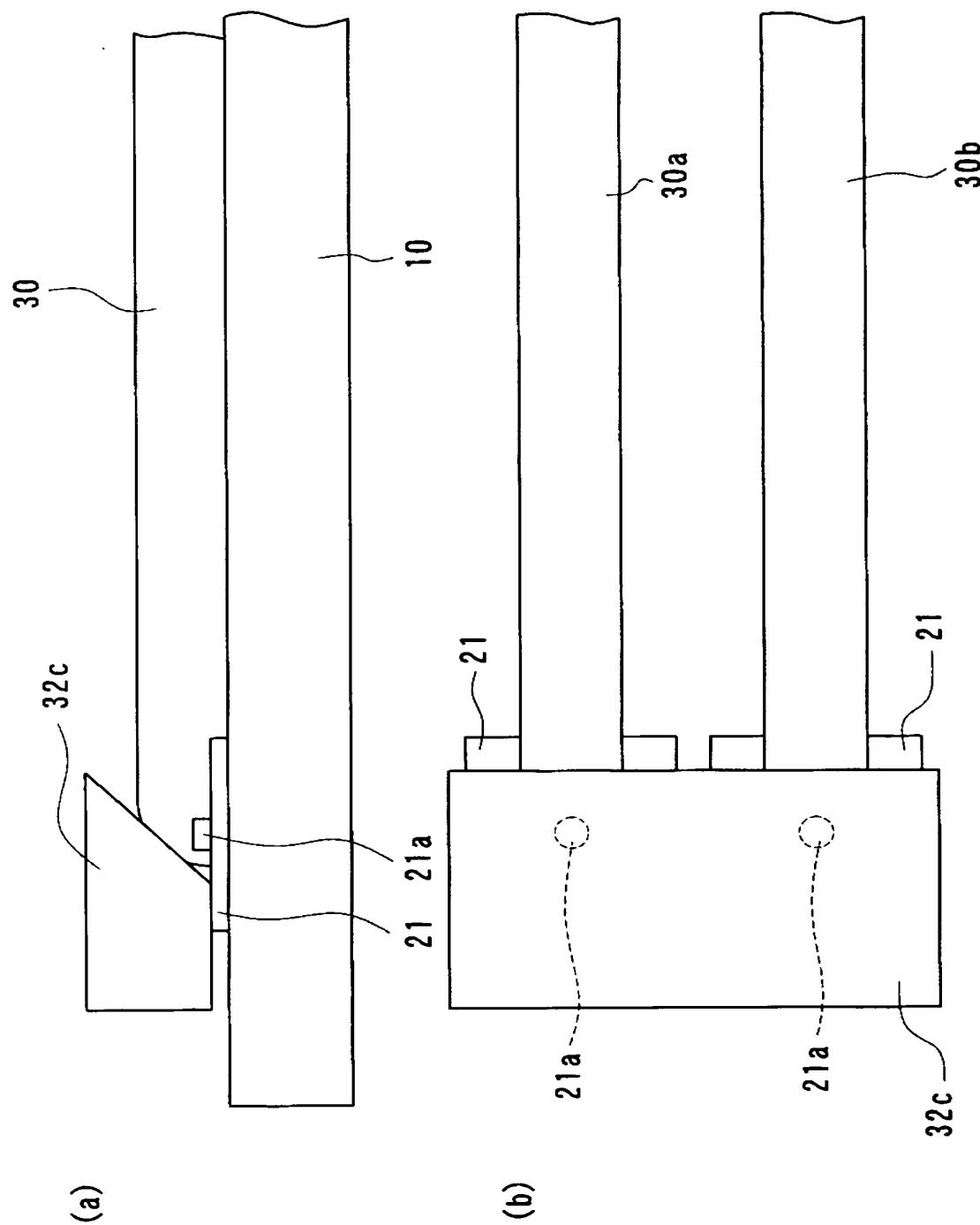
【図10】



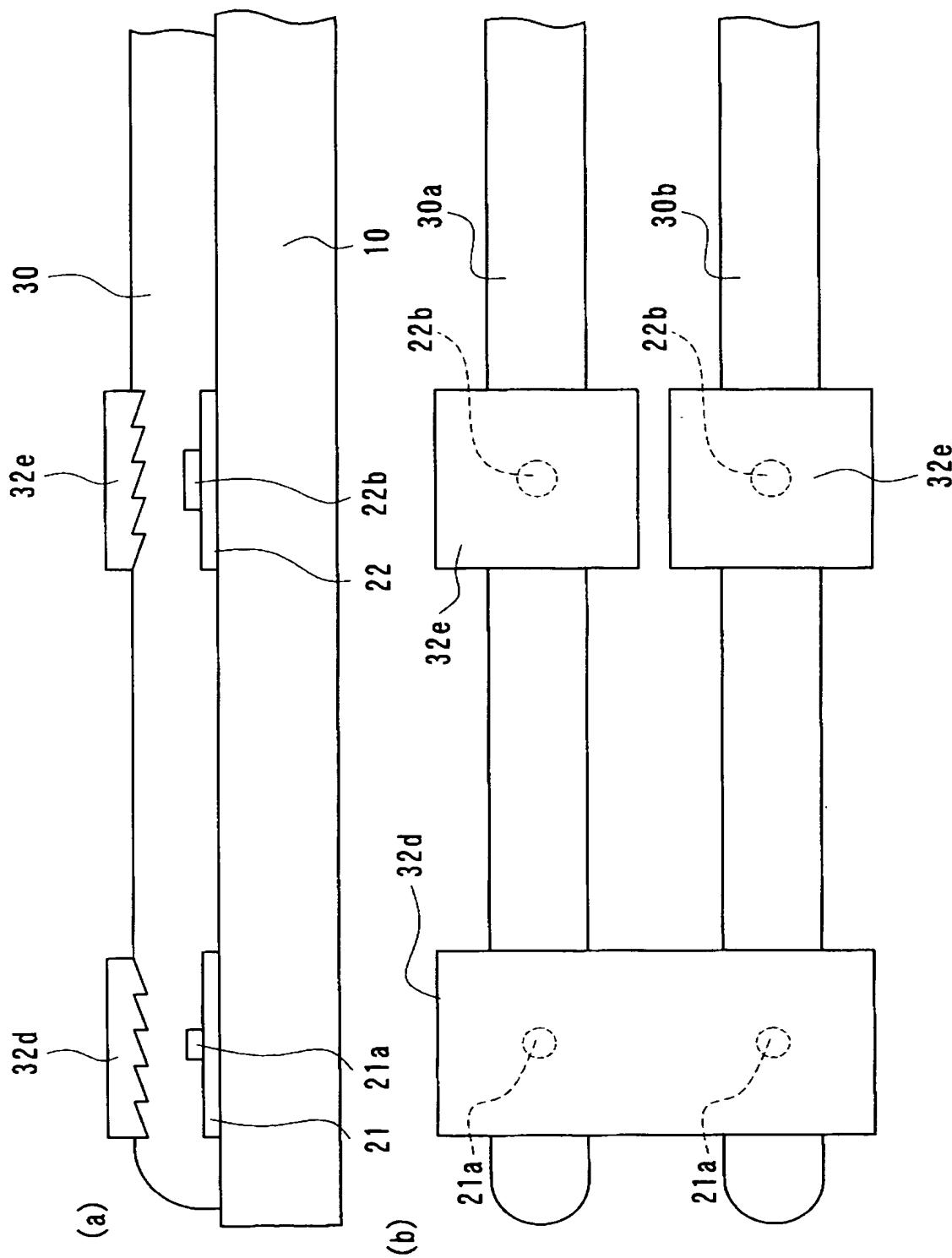
【図11】



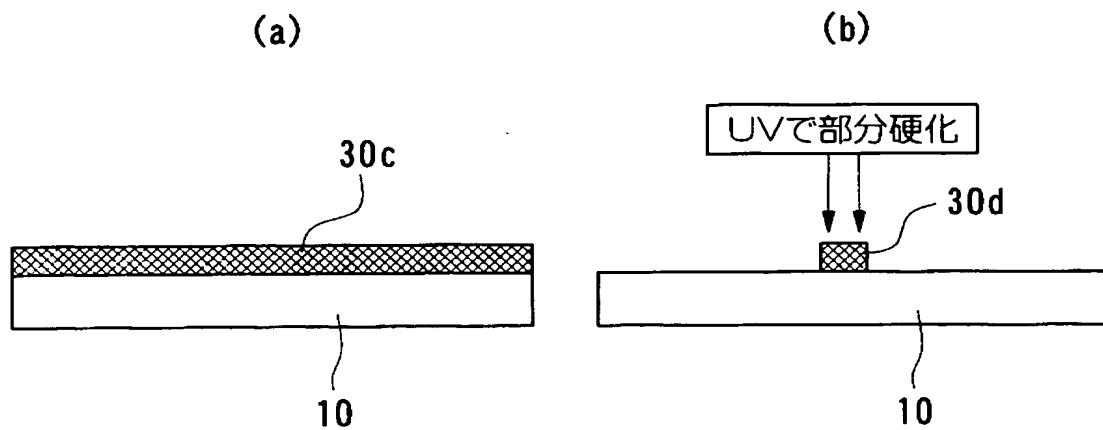
【図12】



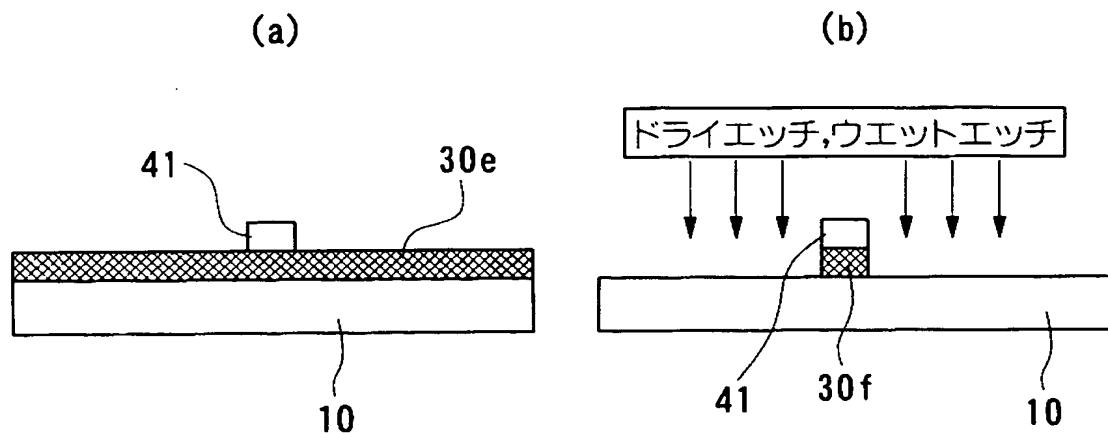
【図13】



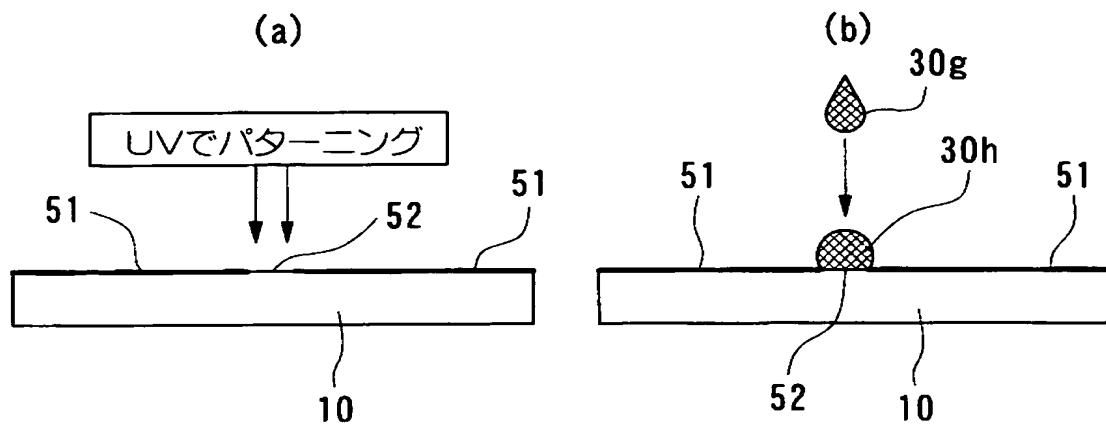
【図14】



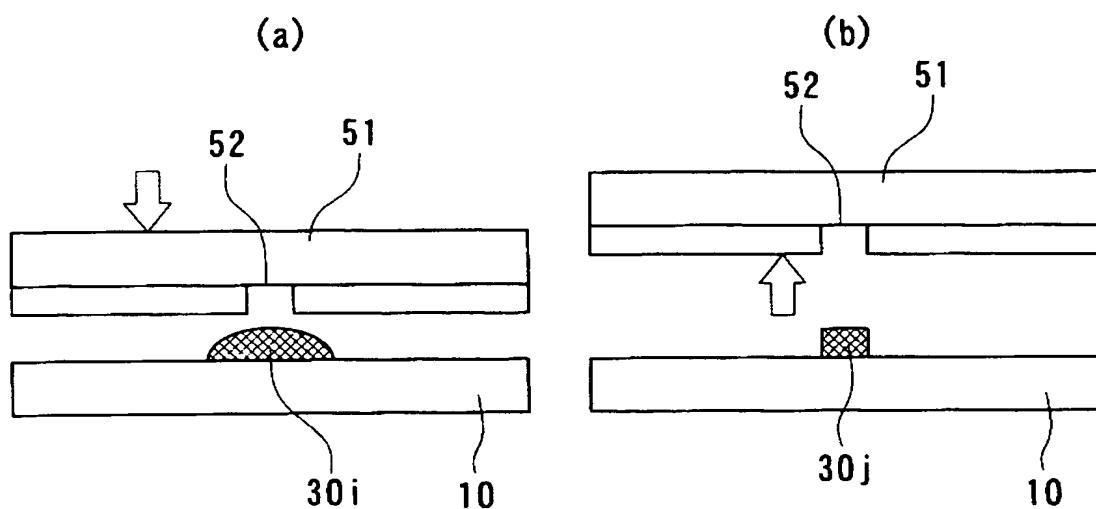
【図15】



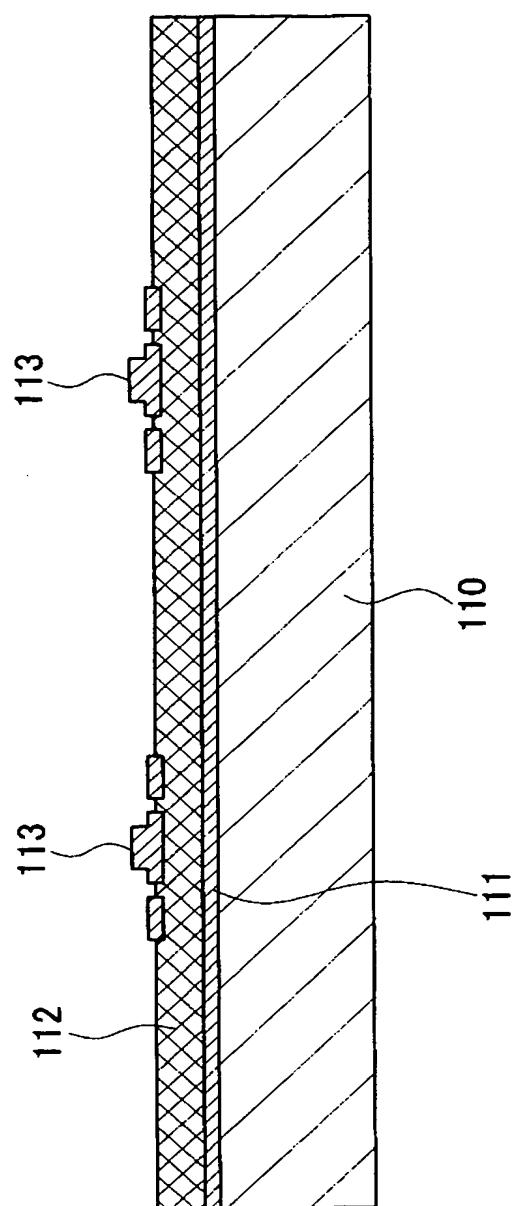
【図16】



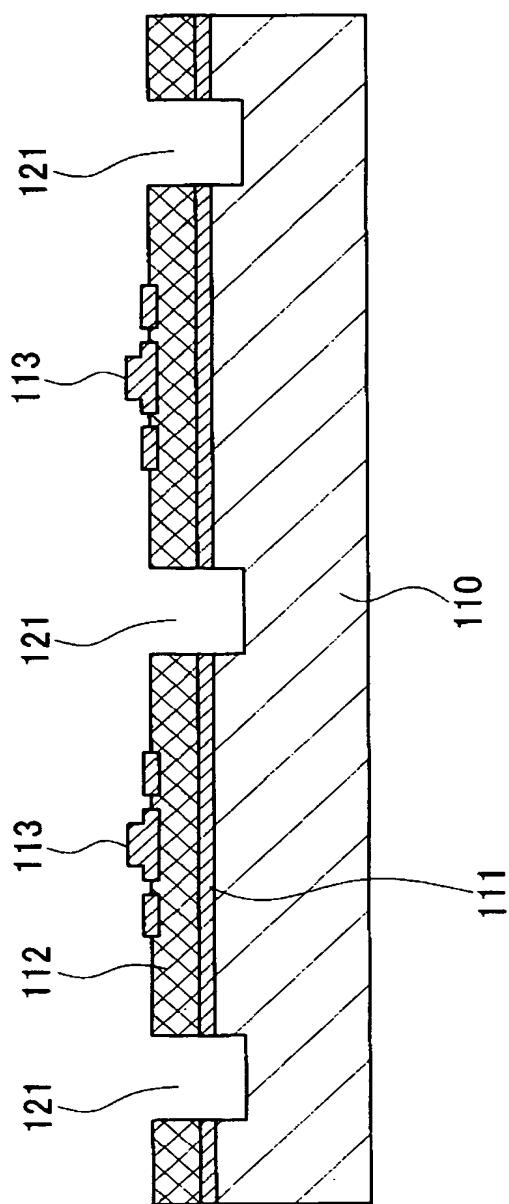
【図17】



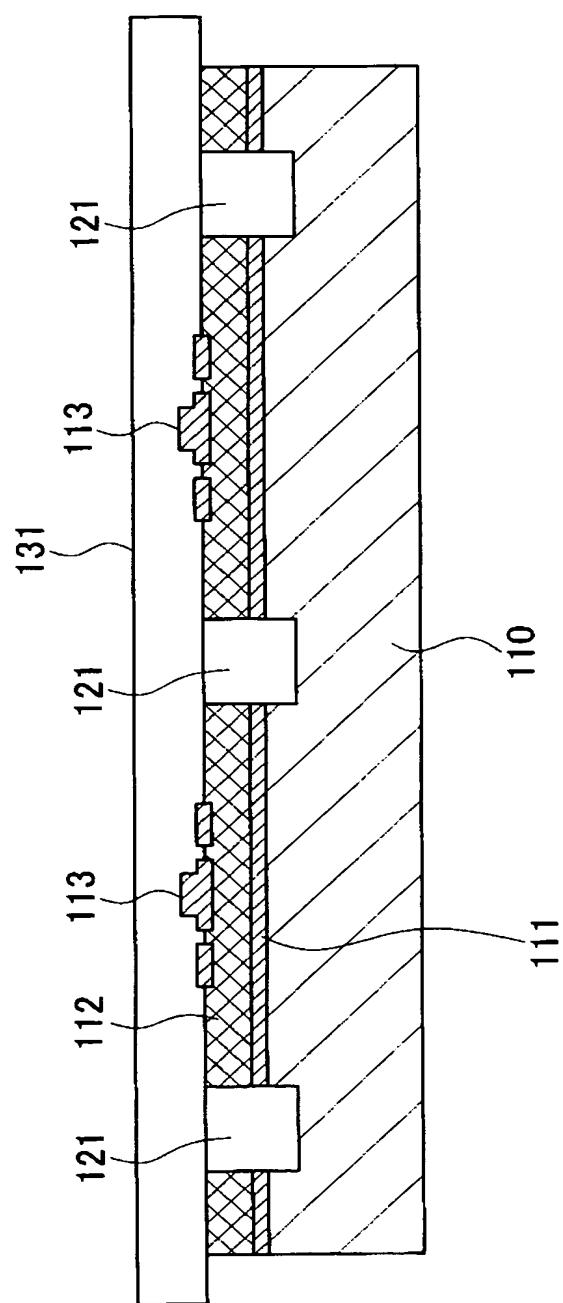
【図18】



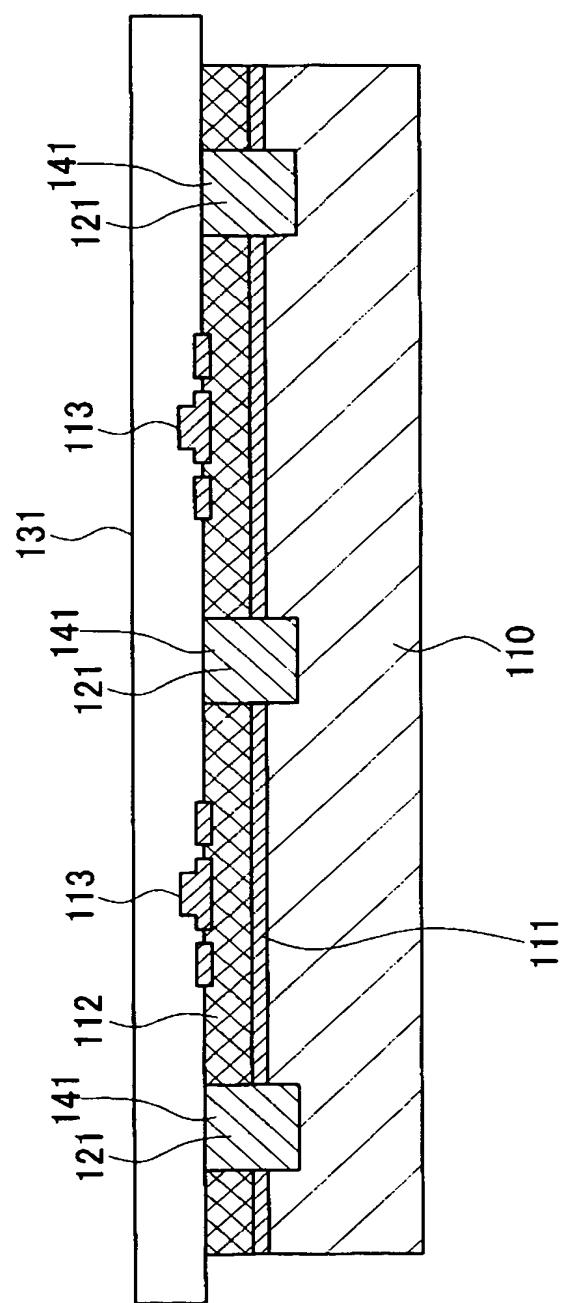
【図19】



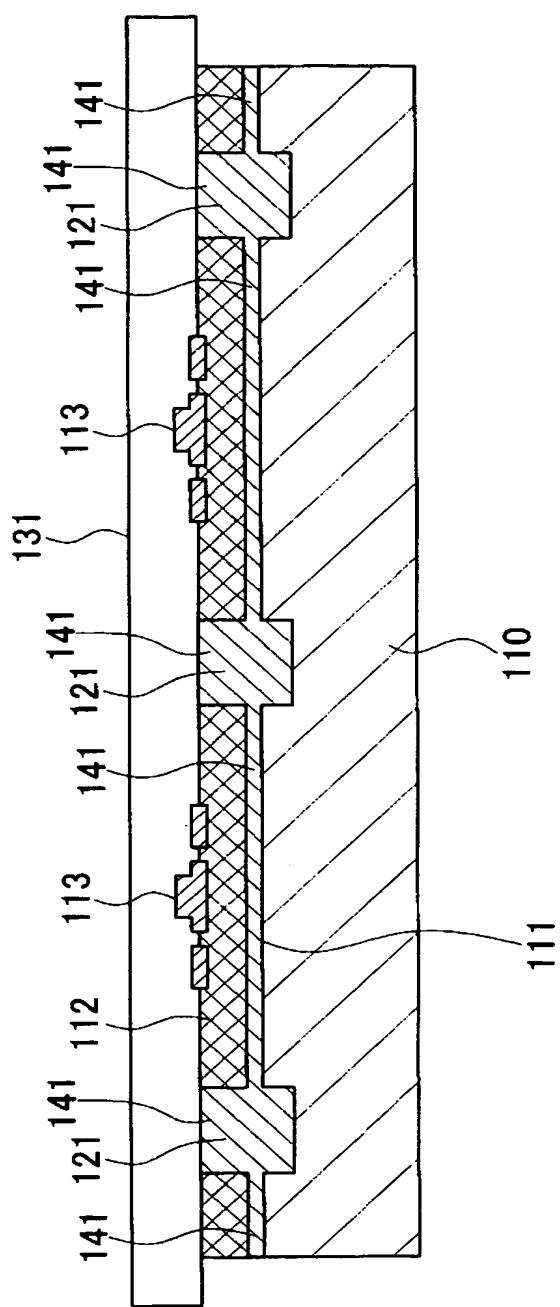
【図20】



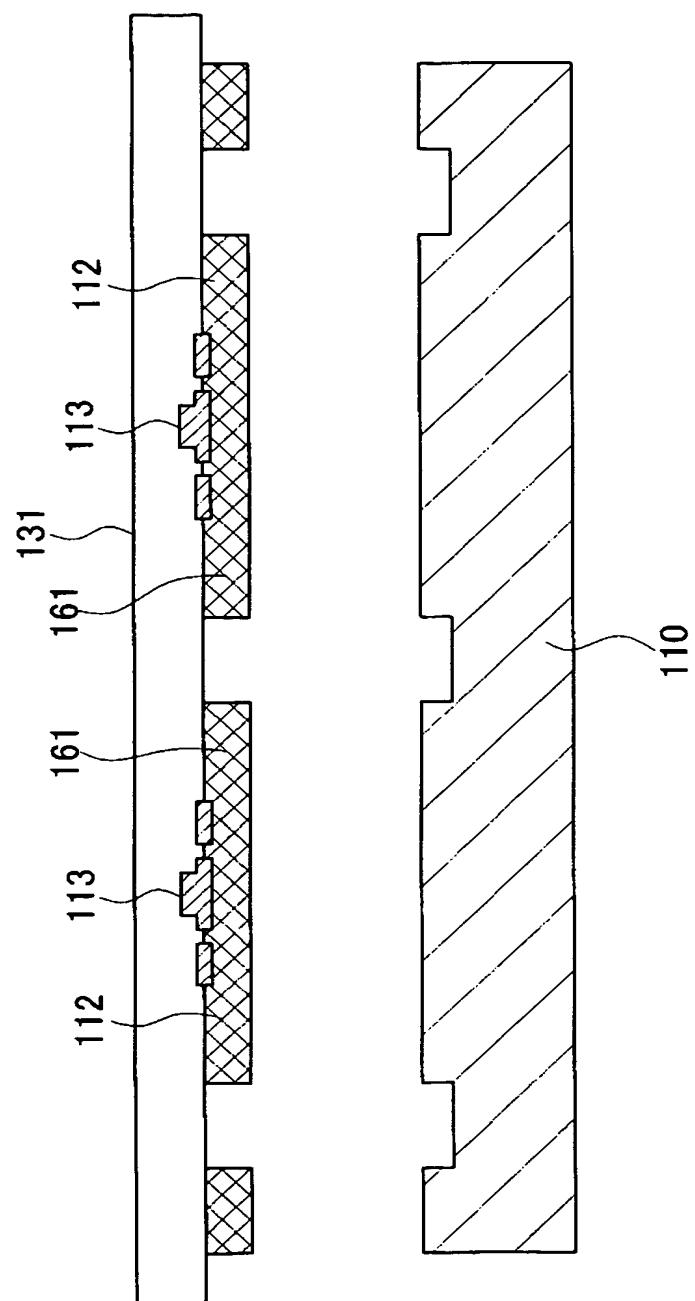
【図21】



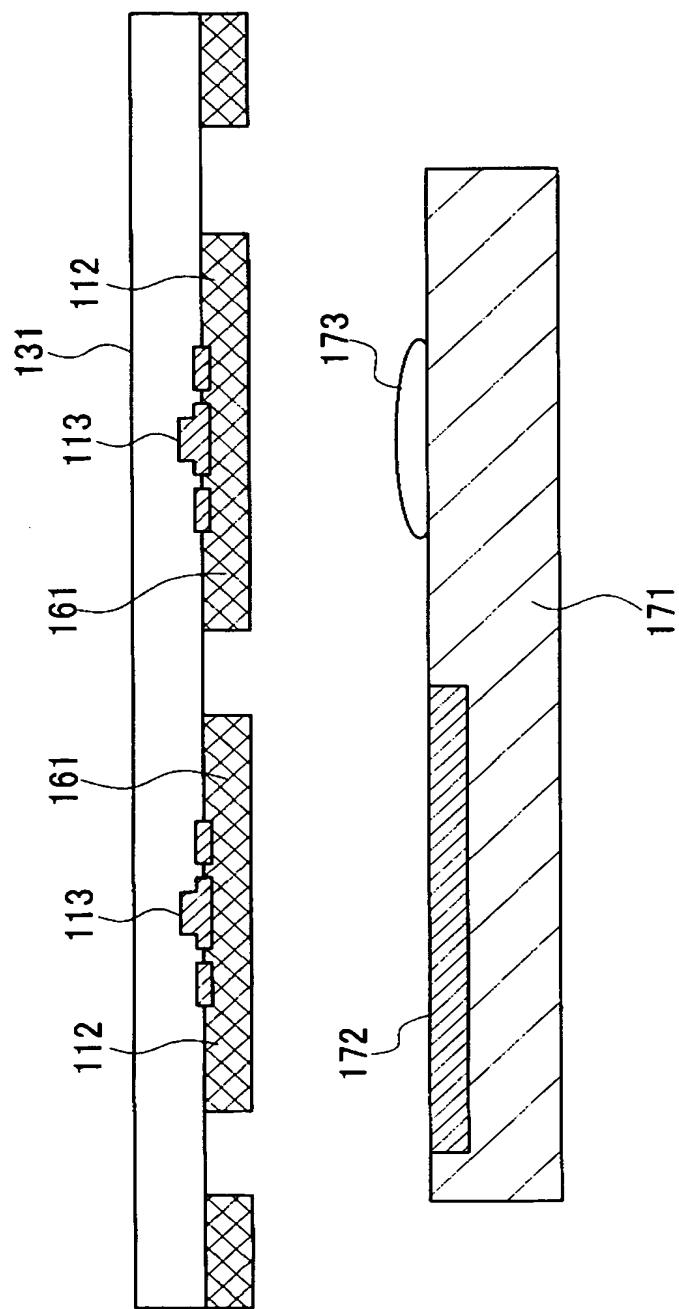
【図22】



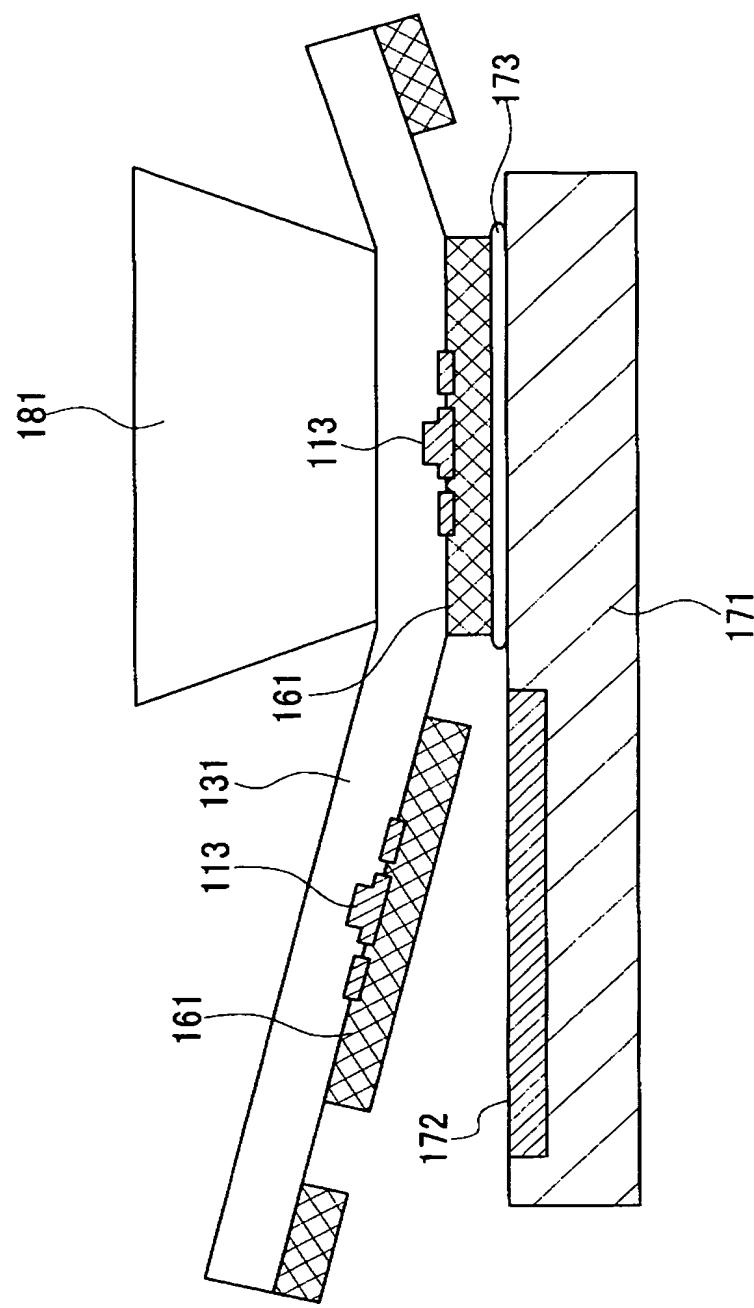
【図23】



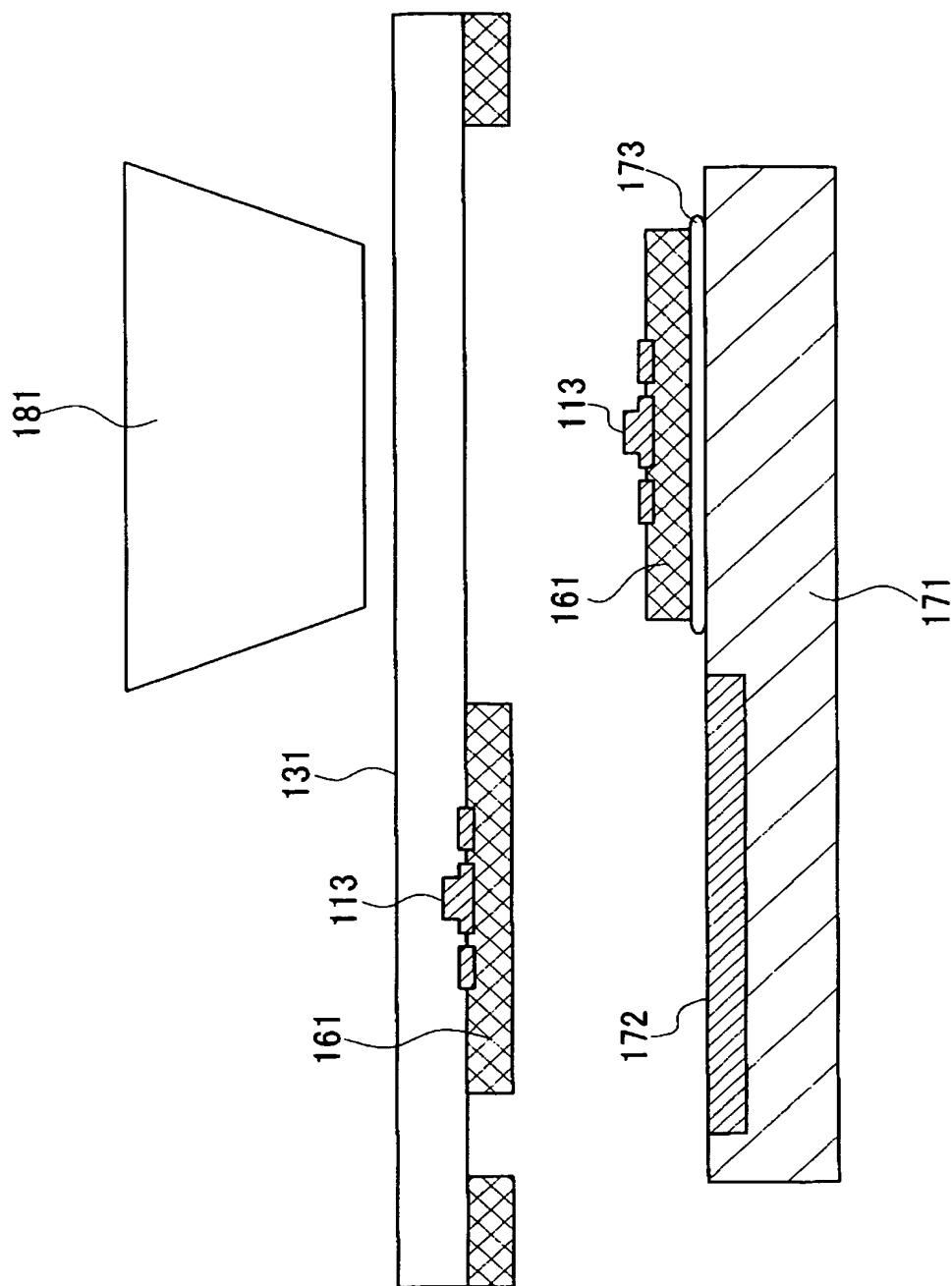
【図24】



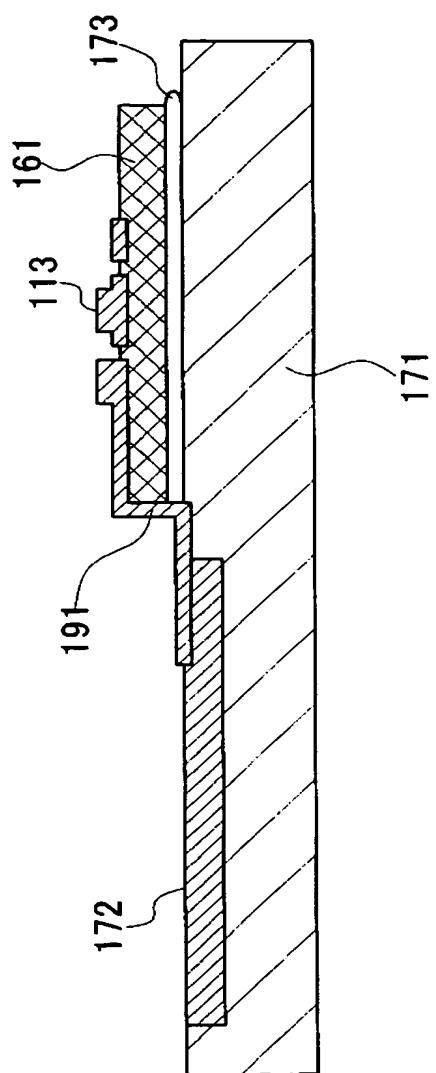
【図25】



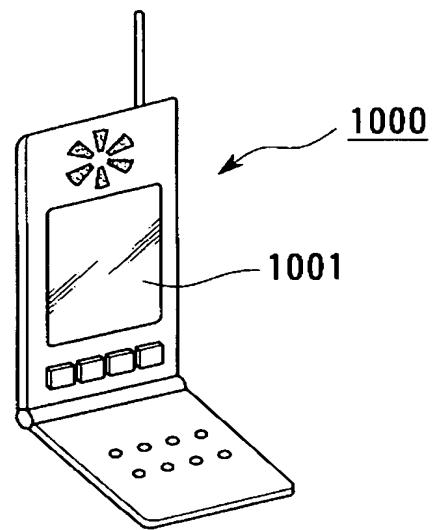
【図26】



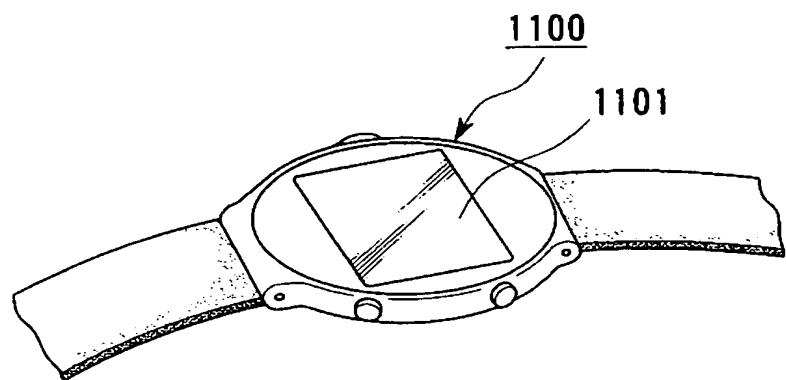
【図27】



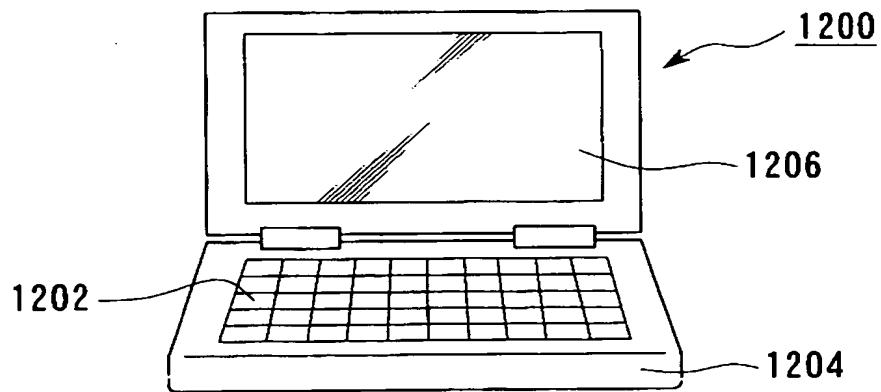
【図28】



【図29】



【図30】



【書類名】 要約書

【要約】

【課題】 信号伝達速度を高速化することができるとともに容易に微細化することができ、簡易に製造することができるチップ間光インターフェクション回路、電気光学装置および電子機器を提供する。

【解決手段】 基板10上に取り付けられた発光機能を有する微小タイル状素子200と、基板10上に取り付けられた受光機能を有する微小タイル状素子200と、発光機能を有する微小タイル状素子200及び受光機能を有する微小タイル状素子200とを光学的に接続するものであって、基板10上に設けられた光導波路材を有してなる光導波路30と、基板10上に設けられた電極であって、発光機能を有する微小タイル状素子200又は受光機能を有する微小タイル状素子200と電気的に接続された電極とを有することを特徴とする。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2002-336544
受付番号	50201752533
書類名	特許願
担当官	森吉 美智枝 7577
作成日	平成 14 年 11 月 27 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

【識別番号】	100089037
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビル 志賀国際特許事務所
【氏名又は名称】	渡邊 隆

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100110364
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビル 志賀国際特許事務所
【氏名又は名称】	実広 信哉

次頁無

特願 2002-336544

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号
氏名 セイコーエプソン株式会社